

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-085099

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G09G 3/28
G09F 9/313
H01J 11/02

(21)Application number : 10-066986

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.03.1998

(72)Inventor : NAGAI TAKAYOSHI

(30)Priority

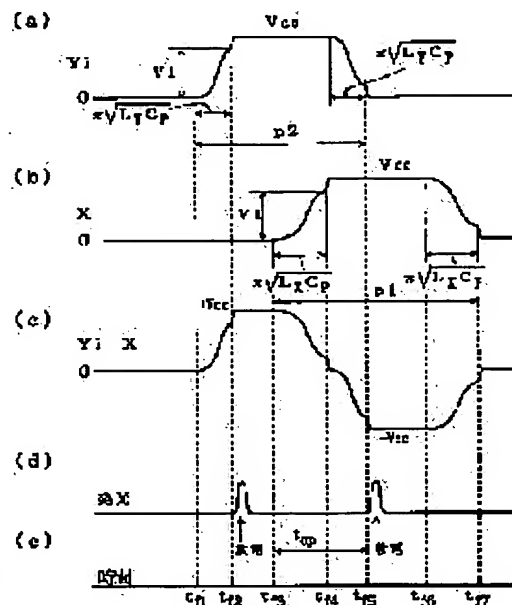
Priority number : 09191641 Priority date : 16.07.1997 Priority country : JP

(54) DRIVING METHOD FOR PLASMA DISPLAY PANEL AND PLASMA DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reactive power recovering efficiency at a low cost without adversely affecting a gas discharge characteristic by forming the potential difference between a scanning electrode and a maintenance electrode to a waveform changing first at the edge on the side where a gas discharge is generated and gently at the edge on a side where the gas discharge is not generated.

SOLUTION: The second maintenance pulse to be impressed on the scanning electrode Y_i and the first maintenance pulse to be impressed to the maintenance electrode X are so formed as to overlap partly on each other on a time base. In other words, the output period $p2$ of the second maintenance pulse and the output period $p1$ of the first maintenance pulse are in the state of partly overlapping on each other. The inductance L_v constituting the reactive power recovering circuit on the side where the maintenance rises first is set relatively small to make both of the voltage changing rates on the rise and fall side of the second maintenance pulse (b) fast. The inductance L_v is set relatively large on the side rising afterward to make both of the voltage changing rates on the rising and falling side of the first maintenance pulse slow.



LEGAL STATUS

[Date of request for examination] 25.07.2001

[Date of sending the examiner's decision of rejection] 16.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85099

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl. ⁸	識別記号	F I	
G 0 9 G 3/28		G 0 9 G 3/28	J
G 0 9 F 9/313		G 0 9 F 9/313	A
H 0 1 J 11/02		H 0 1 J 11/02	C

審査請求 未請求 請求項の数12 O L (全 25 頁)

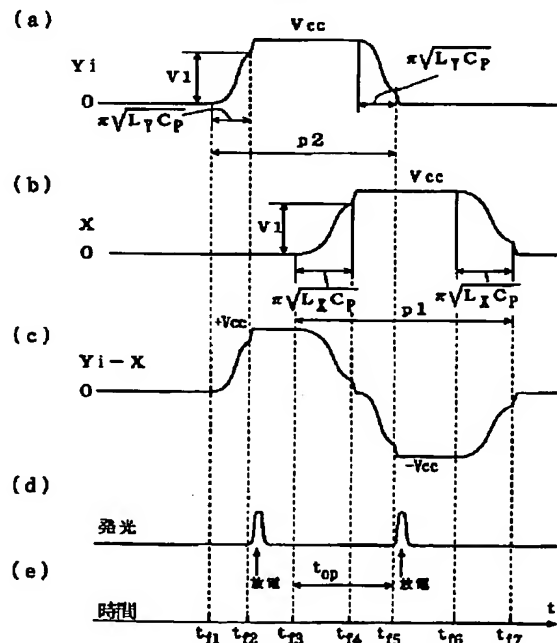
(21) 出願番号	特願平10-66986	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成10年(1998) 3月17日	(72) 発明者	永井 孝佳 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(31) 優先権主張番号	特願平9-191641	(74) 代理人	弁理士 吉田 茂明 (外2名)
(32) 優先日	平9(1997) 7月16日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法及びプラズマディスプレイ装置

(57) 【要約】

【課題】 容量性負荷であるプラズマディスプレイパネルの充放電による無効電力の回収効率を高めようとする
と、プラズマディスプレイパネルにおけるガス放電特性
に悪影響を与えるという相反する課題を克服する。

【解決手段】 互いに平行に、表示ライン毎に対をな
して配置された第1および第2の電極X、Y₁～Y_nのそれ
ぞれに、第1及び第2維持パルスが、時間的に一部分の
出力期間互いに重なり合うように、印加される。しか
も、第1及び第2維持パルスの中で最初に立上がる方
のパルスの立上がり時及び立下がり時の電圧変化率は、他
方のパルスのそれらよりも速い。



【特許請求の範囲】

【請求項1】 少なくとも一方が誘電体で覆われた第1の電極及び第2の電極を有し、前記第1及び第2の電極間に交互に極性が変わるパルス電圧を印加することによってガス放電を繰返し発生させるプラズマディスプレイパネルの駆動方法において、インダクタを介して上記第1及び第2電極間の静電容量成分を充電するとともに前記インダクタに流れる電流の大きさが最大に達するまで前記インダクタ内にエネルギーを蓄える第1の工程と、上記インダクタに蓄えられた前記エネルギーを前記静電容量成分に対して放出する第2の工程と、上記インダクタの前記エネルギーの前記静電容量成分に対する放出の途中から、当該放出に加えて更に、前記インダクタを介さない経路から前記静電容量成分を低インピーダンスで充電して、前記静電容量成分に前記パルス電圧に相当する電圧を供給する第3の工程と、を備え、前記経路を経ないで前記インダクタから前記静電容量成分を充電するものとしたときに、前記インダクタと前記静電容量成分とより成るLC共振回路のQ値で定まる前記静電容量成分の到達電圧がガス放電開始電圧よりも高くなるように、前記インダクタのインダクタンスの値は設定されており、前記ガス放電開始電圧とは前記ガス放電を発生させるために前記静電容量成分に印加すべき最小限の電圧であることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記第2の工程から前記第3の工程への切り替えは、前記第1及び第2電極間に前記ガス放電が発生するより以前に行うことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記第2の工程から前記第3の工程への前記切り替えは、前記第1及び第2電極間の電位差が前記ガス放電開始電圧に達するより前に行うことを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 少なくとも一方が誘電体で覆われた第1の電極及び第2の電極を有し、前記第1及び第2の電極間にパルス電圧が印加されることによってガス放電を繰返して発生させるプラズマディスプレイパネルと、前記第1及び第2の電極間に交互に極性が変わる前記パルス電圧を印加して前記プラズマディスプレイパネルを駆動する駆動回路とを備え、前記駆動回路は、

(a) 上記パルス電圧を電源電圧として有する電源と、

(b) 少なくとも前記電源と上記第1及び第2電極の内のいずれか一方の電極との間に挿入されたスイッチ素子と、

(c) 電荷供給源と、

(d) その一端が前記電荷供給源に接続され、その他端が前記いずれか一方の電極に接続されて前記第1及び第2電極間の静電容量成分と共にLC共振回路を構成するインダクタとを備え、

前記インダクタは前記電荷供給源から供給される電荷によって前記静電容量成分を充電しつつ上記インダクタに流れる電流の大きさが最大に達するまで前記インダクタ内にエネルギーを蓄え、続いて前記エネルギーを前記静電容量成分に対して放出することにより、前記静電容量成分を充電する一方、

前記スイッチ素子は、前記静電容量成分に印加される電圧が第2レベルに達したときに前記電源と前記一方の電極とを導通させ、

(前記第2レベル) < (ガス放電開始電圧), (前記第2レベル) < (第1レベル) < (前記パルス電圧) の関係が成立し、

前記第1レベルとは、前記LC共振回路のQ値で定まる、前記スイッチ素子を導通させなかった場合における前記静電容量成分の到達電圧であり、

前記ガス放電開始電圧とは前記ガス放電を発生させるために前記静電容量成分に印加すべき最小限の電圧であることを特徴とするプラズマディスプレイ装置。

【請求項5】 請求項4記載のプラズマディスプレイ装置であって、前記電荷供給源は、前記パルス電圧の約1/2の電圧で充電されたキャパシタを備えるプラズマディスプレイ装置。

【請求項6】 請求項4記載のプラズマディスプレイ装置であって、

前記電荷供給源は、前記対応電極ではない反対側の電極にそのアノードが接続され、前記インダクタにそのカソードが接続されたダイオードを備えるプラズマディスプレイ装置。

【請求項7】 少なくとも一方が誘電体で覆われた第1の電極及び第2の電極を有するAC型プラズマディスプレイパネルと、

前記第1の電極に第1維持パルスを印加する第1のパルス発生回路と、

前記第2の電極に第2維持パルスを印加する第2のパルス発生回路と、

前記第1維持パルスの出力期間と第2維持パルスの出力期間とが互いに部分的に重なり合うように上記第1及び第2のパルス発生回路を制御する制御回路とを備え、前記出力期間とは、パルスの立ち上がり開始時期と前記パルスの立ち下がり終了時期とで規定される期間であり、前記第1及び第2維持パルス発生回路の内で、前記第1及び第2維持パルスのうちの最初に立ち上がる方のパルスを印加する一方のパルス発生回路は、他方のパルス発生回路よりも、立ち上がり電圧変化率及び立ち下がり電

圧変化率の速いパルスが発生することを特徴とする、プラズマディスプレイ装置。

【請求項8】 前記第1及び第2のパルス発生回路は、それぞれ少なくともインダクタを有する電力回収部を備え、前記インダクタの内で、前記立ち上がり電圧変化率の速い前記パルスが発生する前記一方のパルス発生回路に設けられる一方のインダクタは、前記他方のパルス発生回路に設けられる他方のインダクタよりも小さいインダクタンス値を有することを特徴とする請求項7記載のプラズマディスプレイ装置。

【請求項9】 前記第1及び第2のパルス発生回路は、それぞれパルス発生用のスイッチ素子を備え、前記スイッチ素子の内で前記立ち上がり電圧変化率の速いパルスが発生する前記一方のパルス発生回路に設けられる一方のスイッチ素子は、前記他方のパルス発生回路に設けられる他方のスイッチ素子よりもスイッチング速度が速く、オン抵抗が大きい素子であることを特徴とする請求項7記載のプラズマディスプレイ装置。

【請求項10】 前記立ち上がり電圧変化率の速いパルスが発生する前記一方のパルス発生回路に設けられる前記一方のスイッチ素子は電界効果トランジスタであり、前記他方のパルス発生回路に設けられる前記他方のスイッチ素子は接合型のバルクトランジスタであることを特徴とする請求項9記載のプラズマディスプレイ装置。

【請求項11】 請求項7記載のプラズマディスプレイ装置であって、

前記第1パルス発生回路は、
ガス放電維持動作終了直後に生ずる壁電荷の極性を反転させるためのパルスを生成し出力する、壁電荷極性調整パルス生成部を備えることを特徴とする、プラズマディスプレイ装置。

【請求項12】 請求項7記載のプラズマディスプレイ装置であって、

前記第2パルス発生回路は、
ガス放電維持動作終了直後に生ずる壁電荷の極性を反転させるためのパルスを生成し出力する、壁電荷極性調整パルス生成部を備えることを特徴とする、プラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の電極の各交差部にセルが規定されたプラズマディスプレイパネルの駆動方法及び駆動装置に関するものである。

【0002】

【従来の技術】図26は例えば特開平7-160218号公報（第1の従来の技術）に示されたプラズマディスプレイ装置の構成を示す概要図であり、101は表示パネルであり、第1基板としてのガラス基板上に第1の電極としての維持電極Xと第2の電極としての走査電極Y1～Ynが互いに平行に形成され、このガラス基板に対

向する第2基板としてのガラス基板上に、上記維持電極Xと走査電極Y1～Ynとに対し直角な方向に配置される第3の電極としてのアドレス電極A1～Amが形成されている。

【0003】このプラズマディスプレイ装置は、 $n \times m$ 画素、すなわち $i = 1 \sim n$ 、 $j = 1 \sim m$ であり、任意の走査電極Yiとアドレス電極Ajとの交差部に放電セルが規定されており、この規定された放電セルの1つ1つについて点灯／消灯のアドレス選択を行わせ得るように走査電極Y1～Yn間、アドレス電極A1～Am間は、それぞれ独立駆動可能なように各々の電極間が絶縁、独立している。

【0004】上記維持電極Xは、走査電極Y1～Ynの各々と対になっており、一端部は共通に接続されている。これらに印加される第1電圧のパルスから第4電圧のパルスとしての各電圧は、電源回路102で生成され、Y維持ドライバ103、走査ドライバ104、X維持ドライバ105、アドレスドライバ106を介して電極に供給される。なお、Y維持ドライバ103、走査ドライバ104、X維持ドライバ105、アドレスドライバ106の各ドライバは、制御回路107からの制御信号によって制御される。制御回路107は、外部から供給される表示データ（図26中、DATA）、表示データに同期したドットクロック（図26中、CLK）、垂直同期信号（図26中、VSYNC）および水平同期信号（図26中、HSYNC）に基づいて、上記制御信号を生成する。

【0005】図27はプラズマディスプレイパネルのセルの構成を示す断面図であり、図27において、X及びYiは第1基板としてのガラス基板108の上に形成された紙面垂直方向に延びた維持電極及び走査電極、109は維持電極Xと走査電極Yiの上に形成された（壁電荷保持用の）誘電体層、110は誘電体層109の表面に形成した保護層、Ajはガラス基板108と対向配置された、第2基板としてのガラス基板111の上に形成された紙面左右方向に延びたアドレス電極、112はアドレス電極Aj上に形成した蛍光体、113は画素境界に形成した隔壁、114は保護層110と蛍光体112との間の放電空間であり、例えばNe+Xeのペニング混合ガスが封入されている。

【0006】次に動作について説明する。

【0007】図28(a)～図28(f)は、従来のプラズマディスプレイ装置の駆動方法を示す印加電圧波形の説明図であり、リセット工程、書き込み工程、維持放電工程について、時系列に示している。

【0008】図28(a)～図28(f)において、まずリセット工程で維持電極Xと走査電極Yiとの間に第1電圧のパルスとしてのプライミングパルス121を印加して、維持電極Xおよび走査電極Yiの両電極間にガス放電が発生させ、放電空間114に、空間電荷を発生

させるとともに、放電開始電圧を越える壁電圧を生成することが可能な程度の壁電荷を蓄積する。次に、プライミングパルス121の立ち下がりで自己消去放電を生じさせて、セルの電荷状態を消去状態（維持電極Xおよび走査電極Y_i上の誘電体層109における蓄積電荷が0となる状態）にする。

【0009】次いで、書き込み工程に入り、走査電極Y₁～Y_nに順次、スキャンパルス122（走査パルス）を印加するとともに、表示データに従ってアドレス電極A₁～A_mにアドレスパルスを印加することにより、アドレス電極A₁～A_mと走査電極Y₁～Y_nとの間に第2電圧を生じさせ、書き込み放電を発生させる。

【0010】その後、放電維持工程に入り、維持電極Xと走査電極Y_iとの間において交互に維持パルス（維持電極Xと走査電極Y_iとの間に第4電圧を交互に印加）を印加してガス放電を維持させる。

【0011】なお、ここで第1電圧とは、維持電極Xと走査電極Y_iとの間の電位差である。図28（b）～図28（e）では、走査電極Y_iの電位を0とし、維持電極Xに電位V_{pf}のパルスを印加しており、従ってV_{pf}＝（第1電圧）である。例えば維持電極Xに電位V_{pa}、走査電極Y_iに負の電位V_{pb}（第1電圧＝V_{pa}－V_{pb}）のパルスを印加しても良い。

【0012】同様に、第2電圧はアドレス電極A_jと走査電極Y_iとの間の電位差である（図28（a）～図28（f）ではV_a－V_{sp}＝（第2電圧）。ただし、V_{sp}は負の電位なので、|V_a|＋|V_{sp}|＝（第2電圧）と表わすこともできる。）。

【0013】また、第4電圧は維持電極Xと走査電極Y_iとの間の電位差（図28（b）～図28（e）ではV_{cc}＝（第4電圧））である。

【0014】以上のリセット工程、書き込み工程、放電維持工程を順次繰り返して表示動作を行う。

【0015】次に図29（a₀）～図29（f₀）に基づいて、上記リセット工程における1つのセル内の状態変化を説明する。図29（a₀）～図29（f₀）は、図28（f）に示した（a）～（f）の期間にそれぞれ対応する。前の駆動サイクルが終了した時点で、互いに隣接した維持電極Xと走査電極Y_iとに対応した部分にそれぞれ所定量の、かつ極性が互いに逆の壁電荷が蓄積する「図29（a₀）」。この状態において、維持電極Xと走査電極Y_iとの間にプライミングパルス121を印加すると、維持電極Xと走査電極Y_iの間にガス放電が発生し「図29（b₀）」、このガス放電により生じた電子及び正イオンは、これらと逆極性の維持電極X、走査電極Y_iにそれぞれ引き付けられて、誘電体層109の表面に蓄積され、維持電極X側の壁電荷及び走査電極Y_i側の壁電荷となる。これらの壁電荷は放電空間内の電界強度を低減させるので、ガス放電は直ちに収束に向かい終結する「図29（c₀）」。

【0016】次いで、維持電極Xと走査電極Y_iに対するプライミングパルス121の印加を中止すると、上記壁電荷によって維持電極Xと走査電極Y_iとの間にガス放電が発生し「図29（d₀）」、正イオンと電子の再結合が発生し「図29（e₀）」、これにより壁電荷が減少する「図29（f₀）」。

【0017】リセット工程時、維持電極Xと走査電極Y_iとの間に印加するプライミングパルス121（全面書き込みパルス）は、

a. それまでの表示状態にかかわらず、一度強制的にガス放電を起こし、電荷状態を比較的均一な状態にリセットする。

【0018】b. 空間電荷を発生し、その後のガス放電を起こしやすくする。

【0019】c. 消去動作（放電セル全てを消去状態、すなわち、蓄積電荷が無い状態に戻す）、といった役割を有している。

【0020】PDPはその構造上、容量性の負荷であり、この負荷に維持パルスを印加すると、パネルの容量成分（以下、パネル容量）への充放電による無効電力が発生する。そこで、特公平7-109542号公報（特開昭63-101897号公報）（第2の従来技術）においては、図30に示すように、維持パルス発生回路（維持電極Xに接続されたX維持ドライバ、及び走査電極Y_iに接続されたY維持ドライバの各々を示す）にコンデンサ10とインダクタ11を設け、パネル容量12とインダクタ11とのLC共振を利用することにより、無効電力を回収することが述べられている。

【0021】次に、この回路の動作原理を、図31（a）、図31（b）を用いて説明する。

【0022】状態（1）

まず、スイッチ素子S₂、S₃およびS₄を開きスイッチ素子S₁を閉じる。すると、電圧V_{ss}に充電されたコンデンサ10から、インダクタ11を通して表示パネル101の静電容量成分12に充電電流が流れる。このとき、インダクタ11と静電容量成分12がLC直列共振回路を形成し、パネル電圧V_pは2×V_{ss}で与えられる電圧まで立ち上がる。ここでV_{ss}＝V_{cc}/2であるので、パネル電圧V_pは維持パルス電圧たる電源電圧V_{cc}まで立ち上がることになる。この時点で、インダクタ11を流れる電流I_Lはゼロとなる。

【0023】尚、パネル電圧V_pとは、両電極X、Y_i間の電位差、つまり、ある瞬間に表示パネルに印加されている電圧を示す。従って、パネル電圧V_pは、時刻tの関数形V_p（t）として表示される。

【0024】状態（2）

スイッチ素子S₃を閉じてパネル電圧V_pを電源電圧V_{cc}に保持する。表示パネルにはスイッチ素子S₃を通してガス放電電流が供給される。

【0025】状態（3）

スイッチ素子S1及びS3を開き、スイッチ素子S2を閉じる。インダクタLと静電容量成分12は再び直列共振回路を構成し、パネル電圧Vpはグラウンドレベルまで降下する。この時点で電流ILはゼロとなる。

【0026】状態(4)

スイッチ素子S4を閉じて、パネル電圧Vpをグラウンドレベルに保持する。

【0027】続いて、パネルの反対側に対称的に設けられたドライバ(Y維持ドライバ)が、状態(1)～(4)までと同様の動作を行う。

【0028】以上の動作において、スイッチ素子S3およびスイッチ素子S4はパネル電圧Vpを電源電圧Vccまたはグラウンドレベルにクランプおよび保持する役割を有している。以下、スイッチ素子S3およびスイッチ素子S4をクランプスイッチと称する。

【0029】この従来の構成による特徴は、インダクタLを流れる電流ILが0になった時点でクランプスイッチS3またはS4をONし、パネル電圧Vpを電源電圧Vccまたはグラウンドレベルに保持していることである。すなわちインダクタL1を流れる電流ILが0になったとき、パネル電圧Vpは最大レベル(あるいは最少レベル)に達しており、この時点でクランプスイッチS3またはS4をONすることにより、電力回収の効率を最大(理想的には100%)にしようとするものである。

【0030】以上の説明は、損失が全くない理想的な場合の動作であるが、現実のプラズマディスプレイパネルおよびその駆動回路は等価的に図32のように表わされ、回路中の抵抗成分R1、Rd1、R2、Rd2、RLにおける損失や、回収に寄与しない付加的な静電容量成分c1、c2、cd1、cd2の存在により、なにがしかの損失が発生する。

【0031】このうち、プラズマディスプレイ装置における大部分の損失は抵抗成分において発生する。従って、図32を大幅に簡略化し、プラズマディスプレイパネルおよびその駆動回路を、等価的に、図33に示すようなLCR直列共振回路として考えることが可能である。この場合、損失の増加はLCR直列共振回路におけるQ値の低下として取り扱うことができる。

【0032】その結果、上述した状態(1)に示したLC直列共振によるパネル容量成分への充電すなわちインダクタL1の蓄積されたエネルギーの受け渡しによる充電のみでは出力電圧は電源電圧Vccまで到達せず、図34(a)、図34(b)に示すように、LC直列共振回路によって一旦、パネル電圧VpはそのQ値より定まる電圧V1まで到達し、その時点でスイッチ素子S3をON状態に制御する事により、パネル電圧Vpは電源電圧Vccにまで到達するという、2段階で、パネル電圧Vpは変化する。

【0033】このとき、上述した図33に示す回路にお

ける無効電力回収効率、すなわち、パネル容量12による無効電力に対して、回収される電力の割合は、およそ $V1/Vcc$ として表わすことができる。

【0034】このことは、fを単位時間あたりの充放電の回数とすると、容量値Cpを有するパネル容量12による無効電力P0を、

$$P0 = f \times Cp \times Vcc^2$$

電源から供給する電力P1を、

$$P1 = \int (Vcc \times i(t)) dt = Vcc \times f \times Cp (Vcc - V1)$$

と表わすことができ、従って無効電力回収効率が、

$$1 - P1/P0 = V1/Vcc$$

で表わされることにより説明できる。

【0035】上述してきたような回路系において、無効電力の回収効率を上げるためには、LC共振回路のQ値を上げることが必要となる。このLC共振回路のQ値を上げるためには、

(a) インダクタL1のインダクタンスLを従来と比較してより大きな値に設定する。

【0036】(b) パネル容量12の値Cpを小さくする。

【0037】(c) 抵抗成分を小さくする。

【0038】のいずれかの対応を行うと良いが、このうち、(b)に示した対応を行うことについては、パネル容量12の値Cpは負荷となるプラズマディスプレイパネルで決まってしまう、小さくすることは非常に困難である。

【0039】また、(c)に示した対応を行うことについては、抵抗成分は使用する部品やプラズマディスプレイパネル内部の電極の抵抗で決まり、これを小さくすることは大幅なコストアップを招く。

【0040】(a)に示した対応を行うことについては、インダクタンスを比較的大きな値に設定することが実際の面から非常に有効である。しかしながら、プラズマディスプレイ装置に図33の回路を用いた場合にインダクタンスを比較的大きな値に設定してLC共振回路のQ値を上げようとすると、以下に述べるようにガス放電に悪影響を与えてしまうという問題が新たに発生してしまう。

【0041】以下、上述の問題を、図35(a)、図35(b)を参照しながら説明する。

【0042】状態(1)に示すように、パネル電圧VpはLC共振回路のQ値設定に応じて定まる到達電圧(第1レベル)V1まで立ち上がる。このとき、第1レベルV1が放電開始電圧Vfを超えており、かつ放電遅れ時間よりも大きな立ち上がり時間を要する場合には、状態(2)に移る前にパネル側でガス放電が開始してしまう。ところで、状態(1)に示す期間においては、LC共振回路におけるインダクタL1を通してプラズマディスプレイパネルに電流を供給しており、原理的に出力イ

インピーダンスが極めて高い。この状態でプラズマディスプレイパネルにガス放電電流が流れると、パネル側の入力インピーダンスは小さくなるが、回路側の出力インピーダンスは高いままなので、図35(a)に破線で示すように、パネル電圧 V_p が急激に低下してしまい、実効的な印加電圧の低下をきたす。その結果、ガス放電の強度が弱くなり表示輝度が低下したり、壁電荷の消失が発生することにより維持放電が継続できなくなったりしてしまう。

【0043】ここで参考に、インダクタ11のインダクタンス L の設定値いかんによってパネル電圧 V_p の立ち上がりがどのように変わるかを、図36に模式的に示す。図36では、インダクタンス L を $L_1 < L_2 < L_3$ の関係にある3種類の値 L_1 、 L_2 、 L_3 に設定したときのパネル電圧 V_p の波形を、それぞれ曲線C1、C2、C3として表わしている。曲線C1のときは、共振周波数が最も高いので、立ち上がりの上昇率は最も大きい(Q値は最も小さい)反面、到達レベル(第1レベル)V1は最も低い。

【0044】逆に、インダクタンス L を値 L_3 に設定したときは、共振周波数は最も低くなる、又、Q値が最も大きくなるので、パネル電圧 V_p の立ち上がりの上昇率は最も遅くなり、緩やかにパネル電圧 V_p は変化し、そのときの到達レベルV1は最も高くなる。従って、曲線C1から曲線C3に移行するときのように、インダクタンス L の値をより大きな値に変えていくと、到達レベルV1が高くなるにつれて、到達レベルV1は放電開始電圧 V_f へと近づき、やがては、それを越えてしまい、パネル電圧 V_p が電源電圧たるパルス電圧 V_{cc} に達する前にガス放電が生じてしまう。特に、曲線C3の場合について、 $V_p = V_f$ の時点から後述するガス放電の遅れ時間を経過した時点でもなお電圧 V_p が到達レベル1へ向けて緩やかに上昇中のときには、電圧 V_p が到達レベルV1に達する前にガス放電が生じてしまい、図35(a)に示した破線のように曲線C3が変化してしまう。

【0045】ここで、放電開始電圧 V_f とは、実際にガス放電が開始されるときに第1、第2(X、Y)電極間に加えられた最低限の電圧をいい、壁電荷による電圧と放電開始電圧 V_f との和は、図27の放電空間114におけるガス放電開始電圧に相当する。なお、厳密に言えば、表示パネルに電圧を印加しても、すぐにはガス放電は発生せず、なにがしかの遅れ時間を伴ってガス放電が開始されるので、パネル電圧の電圧変化率ないしは立ち上がり速度によって、放電開始電圧 V_f は変動する。

【0046】ところで、上述したような状態(1)に示す期間に放電が発生するか否かは、次の2つの要素によって決まる。

【0047】(イ)LC共振回路の立ち上がりの電圧変化率ないしは立ち上がり速度(立ち上がり速度が遅い場合

に問題となる)。

【0048】(ロ)LC共振回路による電圧の到達レベル(すなわち、図35(a)における第1レベルV1であり、それが高い場合に問題となる)。

【0049】これら2つの要素のうち、どちらが主な問題となるかは、パネル電圧 V_p の立ち上がり速度と放電の遅れ時間(通常100~500ns程度)との関係によって異なってくる。

【0050】すなわち、高い回収効率を得るためにLC共振回路のQ値を上げようとする目的でインダクタ11のインダクタンス L を大きくすると、パネル電圧 V_p の立ち上がりが遅くなることから上述の要素(イ)の問題が反映され、またパネル充電時における第1レベルV1のレベルが高くなることから上述の要素(ロ)の問題が反映され、いずれにせよ、パネルにおけるガス放電に悪影響を与えないようにするためには、結局無効電力の回収効率をある程度まで犠牲にせざるを得ない。

【0051】このように、Q値を高めて電力回収率を高めることと、パネル内の放電特性の維持・向上とは、互いにトレードオフの関係にある。

【0052】そこで、特開平5-265397号公報(第3の従来技術)に示された技術では、パルスの立ち上がり・立ち下がり用のインダクタをそれぞれ別個に設け、立ち上がりおよび立ち下がり時のそれぞれにおいて、使用すべきインダクタを切り替えることにより、パルスの立ち上がりは速く、パルスの立ち下がりはややかとなるようにしている。しかし、これでは、パルスの立ち上がりおよび立ち下がりのそれぞれに用いるインダクタが別個に必要であるため、部品点数が増して構成が複雑となり、却ってコストアップにつながるという課題が新たに生じてしまう。

【0053】また、この方法では、上記(ロ)の問題の解決にはなっておらず、立ち上がり速度が、ガス放電開始の遅れ時間よりも十分に速くなければ、結局(ロ)の制約により、ある一定値よりも回収効率を上げることができないということになる。

【0054】従来のプラズマディスプレイ装置は、以上のように構成されているので、プラズマディスプレイ装置のガス放電に悪影響を与えずに、かつ無効電力回収効率を一定以上に上げることは困難であった。

【0055】この発明は上記のような課題を解決するためになされたもので、ガス放電特性に悪影響を与えないようにしながら、高い無効電力回収効率を両立して得ることができ、かつ低コスト化を達成しうるプラズマディスプレイパネルの駆動方法およびプラズマディスプレイ装置を得ることを目的とする。

【0056】

【課題を解決するための手段】請求項1記載の発明に係るプラズマディスプレイの駆動方法は、少なくとも一方が誘電体で覆われた第1の電極及び第2の電極を有し、

前記第1及び第2の電極間に交互に極性が変わるパルス電圧を印加することによってガス放電を繰返し発生させるプラズマディスプレイパネルの駆動方法において、インダクタを介して上記第1及び第2電極間の静電容量成分を充電するとともに前記インダクタに流れる電流の大きさが最大に達するまで前記インダクタ内にエネルギーを蓄える第1の工程と、上記インダクタに蓄えられた前記エネルギーを前記静電容量成分に対して放出する第2の工程と、上記インダクタの前記エネルギーの前記静電容量成分に対する放出の途中から、当該放出に加えて更に、前記インダクタを介さない経路から前記静電容量成分を低インピーダンスで充電して、前記静電容量成分に前記パルス電圧に相当する電圧を供給する第3の工程と、を備え、前記経路を経ないで前記インダクタから前記静電容量成分を充電するものとしたときに、前記インダクタと前記静電容量成分とより成るLC共振回路のQ値で定まる前記静電容量成分の到達電圧がガス放電開始電圧よりも高くなるように、前記インダクタのインダクタンスの値は設定されており、前記ガス放電開始電圧とは前記ガス放電を発生させるために前記静電容量成分に印加すべき最小限の電圧であることを特徴とする。

【0057】請求項2記載の発明に係るプラズマディスプレイの駆動方法は、前記第2の工程から前記第3の工程への切り替えは、前記第1及び第2電極間に前記ガス放電が発生するより以前に行うことを特徴とする。

【0058】請求項3記載の発明に係るプラズマディスプレイの駆動方法は、前記第2の工程から前記第3の工程への前記切り替えは、前記第1及び第2電極間の電位差が前記ガス放電開始電圧に達するより以前に行うことを特徴とする。

【0059】請求項4記載の発明に係るプラズマディスプレイ装置は、少なくとも一方が誘電体で覆われた第1の電極及び第2の電極を有し、前記第1及び第2の電極間にパルス電圧が印加されることによってガス放電を繰返し発生させるプラズマディスプレイパネルと、前記第1及び第2の電極間に交互に極性が変わる前記パルス電圧を印加して前記プラズマディスプレイパネルを駆動する駆動回路とを備え、前記駆動回路は、(a)上記パルス電圧を電源電圧として有する電源と、(b)少なくとも前記電源と上記第1及び第2電極の内のいずれか一方の電極との間に挿入されたスイッチ素子と、(c)電荷供給源と、(d)その一端が前記電荷供給源に接続され、その他端が前記いずれか一方の電極に接続されて前記第1及び第2電極間の静電容量成分と共にLC共振回路を構成するインダクタとを備え、前記インダクタは前記電荷供給源から供給される電荷によって前記静電容量成分を充電しつつ上記インダクタに流れる電流の大きさが最大に達するまで前記インダクタ内にエネルギーを蓄えたと共に、続いて前記エネルギーを前記静電容量成分に対して放出することにより、前記静電容量成分を充電

する一方、前記スイッチ素子は、前記静電容量成分に印加される電圧が第2レベルに達したときに前記電源と前記一方の電極とを導通させ、(前記第2レベル)<(ガス放電開始電圧)、(前記第2レベル)<(第1レベル)<(前記パルス電圧)の関係が成立し、前記第1レベルとは、前記LC共振回路のQ値で定まる、前記スイッチ素子を導通させなかった場合における前記静電容量成分の到達電圧であり、前記ガス放電開始電圧とは前記ガス放電を発生させるために前記静電容量成分に印加すべき最小限の電圧であることを特徴とする。

【0060】請求項5記載の発明に係るプラズマディスプレイ装置は、請求項4記載のプラズマディスプレイ装置であって、前記電荷供給源は、前記パルス電圧の約1/2の電圧で充電されたキャパシタを備えることを特徴とする。

【0061】請求項6記載の発明に係るプラズマディスプレイ装置は、請求項4記載のプラズマディスプレイ装置であって、前記電荷供給源は、前記対応電極ではない反対側の電極にそのアノードが接続され、前記インダクタにそのカソードが接続されたダイオードを備えることを特徴とする。

【0062】請求項7記載の発明に係るプラズマディスプレイ装置は、少なくとも一方が誘電体で覆われた第1の電極及び第2の電極を有するAC型プラズマディスプレイパネルと、前記第1の電極に第1維持パルスを印加する第1のパルス発生回路と、前記第2の電極に第2維持パルスを印加する第2のパルス発生回路と、前記第1維持パルスの出力期間と第2維持パルスの出力期間とが互いに部分的に重なり合うように上記第1及び第2の維持パルス発生回路を制御する制御回路とを備え、前記出力期間とは、パルスの立ち上がり開始時期と前記パルスの立ち下がり終了時期とで規定される期間であり、前記第1及び第2維持パルス発生回路の内で、前記第1及び第2パルスのうちの最初に立ち上がる方のパルスを印加する一方のパルス発生回路は、他方のパルス発生回路よりも、立ち上がり電圧変化率及び立ち下がり電圧変化率の速いパルスを発生することを特徴とする。

【0063】請求項8記載の発明に係るプラズマディスプレイ装置は、前記第1及び第2のパルス発生回路は、それぞれ少なくともインダクタを有する電力回収部を備え、前記インダクタの内で、前記立ち上がり電圧変化率の速い前記パルスを発生する前記一方のパルス発生回路に設けられる一方のインダクタは、前記他方のパルス発生回路に設けられる他方のインダクタよりも小さいインダクタンス値を有することを特徴とする。

【0064】請求項9記載の発明に係るプラズマディスプレイ装置は、前記第1及び第2のパルス発生回路は、それぞれパルス発生用のスイッチ素子を備え、前記スイッチ素子の内で前記立ち上がり電圧変化率の速いパルスを発生する前記一方のパルス発生回路に設けられる一方

のスイッチ素子は、前記他方のパルス発生回路に設けられる他方のスイッチ素子よりもスイッチング速度が速く、オン抵抗が大きい素子であることを特徴とする。

【0065】請求項10記載の発明に係るプラズマディスプレイ装置は、前記立ち上がり電圧変化率の速いパルスを発生する前記一方のパルス発生回路に設けられる前記一方のスイッチ素子は電界効果トランジスタであり、前記他方のパルス発生回路に設けられる前記他方のスイッチ素子は接合型のバルクトランジスタであることを特徴とする。

【0066】請求項11記載の発明に係るプラズマディスプレイ装置は、請求項7記載のプラズマディスプレイ装置であって、前記第1パルス発生回路は、ガス放電維持動作終了直後に生ずる壁電荷の極性を反転させるためのパルスを生成し出力する、壁電荷極性調整パルス生成部を備えることを特徴とする。

【0067】請求項12記載の発明に係るプラズマディスプレイ装置は、請求項7記載のプラズマディスプレイ装置であって、前記第2パルス発生回路は、ガス放電維持動作終了直後に生ずる壁電荷の極性を反転させるためのパルスを生成し出力する、壁電荷極性調整パルス生成部を備えることを特徴とする。

【0068】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

【0069】（実施の形態1）図1はこの発明に係る実施の形態1における維持パルス発生回路を示す回路図、図2(a)～図2(e)は図1の維持パルス発生回路から発生された維持パルス123a、123bおよびアドレスパルス124などの駆動波形を示す駆動波形図、図3(a)～図3(e)は図2(b)～図2(e)における維持パルス123a、123bとそれらの電位差を与えるパルスとの拡大図である。

【0070】又、実施の形態1に係るプラズマディスプレイ装置の全体図は、図4に開示される通りであり、本プラズマディスプレイパネルの構造は図27で示される通りである。

【0071】図4と図26との相違点は、制御回路107A、107にある。回路構成の上では、本制御回路107Aは、先行技術回路107に対して通常の設計事項としてとりうる変形を加えることによって、容易に実現可能であるが、その機能は後述する通り先行技術回路107とは大きく異なる。その点で、本回路107Aは新規な機能を有する新規な回路と言える。

【0072】尚、図4の参照符号200a、200b、200c、200dは、電源電圧を供給するための信号線である。

【0073】図1において、参照符号1は表示パネルであり、第1基板としてのガラス基板上に第1の電極としての維持電極Xと第2の電極としての走査電極Y1～Y

nが互いに平行に形成され、このガラス基板に対向する第2基板としてのガラス基板（図示せず）上に、上記維持電極Xと走査電極Y1～Ynとの配列方向に対して直角な方向に配置される第3の電極としてのアドレス電極（図示せず）が形成されている。

【0074】参照符号2は第1パルス発生回路としてのX維持ドライバ、3は第2パルス発生回路としてのY維持ドライバである。X維持ドライバ2は、電力回収コンデンサ21、第1スイッチ素子22a、第2スイッチ素子22bと直列で互いに逆極性に接続されたダイオード23a、23b、インダクタ24、維持電極Xを（維持）パルス電圧たる電源電圧Vccに保持する第3スイッチ素子26、維持電極Xをグラウンドレベルに保持する第4スイッチ素子28とにより構成されている。同ドライバX2は、図4のドライバ105に含まれる部分であり、第1維持パルスたる維持パルス電圧VccをX電極に出力する。

【0075】Y維持ドライバ3は、電力回収コンデンサ33、第1、第2スイッチ素子34a、34bと直列で互いに逆極性に接続されたダイオード35a、35b、インダクタ36、走査電極Yiを（維持）パルス電圧たる電源電圧Vccに保持するための第3スイッチ素子38、走査電極Yiをグラウンドレベルに保持するための第4スイッチ素子39とにより構成されている。同ドライバ3は、図4のドライバ103にあたり、第2維持パルスたる維持パルス電圧Vccをパネル101のY電極へ出力する。尚、走査ドライバ31はスイッチ素子32と、複数のダイオードと、その他の複数のスイッチ素子とより成る。

【0076】このように、両ドライバ2、3の回路配線構成自体は、図30のものと同一であるが、機能面では両2、3は顕著に相違する。

【0077】尚、両ドライバ2、3中の各スイッチ22a、22b、26、28、38、39、34a、34bに印加される制御信号は、図4に示す制御回路107Aにより生成される。即ち、スイッチ22a～28に印加される制御信号は図4においては第1制御信号CNTXAとして総称されており、他のスイッチ38～34bに印加される制御信号は図4において第2制御信号CNTYAとして総称されている。

【0078】尚、各スイッチに印加される制御信号のタイミングチャートを図5(a)～図5(g)に示す。図5(a)～図5(f)では、参照符号V34a、V38、V34b、V39、V22a、V26は、それぞれ図1におけるスイッチ34a、38、34b、39、22a、26のON、OFF状態を制御する信号であり、記号“H”は各スイッチが34a、38、34b、39、22a、26がON状態となるように制御することを示し、記号“L”は各スイッチ34a、38、34b、39、22a、26がOFF状態となるように制御

することを示している。

【0079】尚、実施の形態1では、全スイッチ素子34a、34b、38、39、26、28、22a、22bとして、例えば電界効果トランジスタ(FET)を用いることができる。

【0080】以上の構成において、スイッチ素子26および38は、図30におけるクランプスイッチS3に対応し、スイッチ素子28および39は、クランプスイッチS4に対応している。

【0081】一方、図2(a)～図2(e)において、121はプライミングパルス、122はスキャンパルス、123a、123bは、それぞれ第1、第2維持パルス(以後、適宜単に維持パルスとも称す)、124はアドレスパルスである。

【0082】次に動作について説明する。

【0083】図2(a)～図2(e)において、まず維持電極Xにプライミングパルス121を印加して全放電セルを一旦放電させるとともに、壁電荷の消去を行う。次にスキャンパルス122を走査電極Yi(i=1～n)に順次印加するとともに、画像データに従ってアドレス電極Ajにアドレスパルス124を印加して書き込み放電を起こし、表示点灯を行うセルに壁電荷を蓄積する。ここまでの動作は、図28(a)～図28(f)に示した動作と同一である。

【0084】続いて走査電極Yiと維持電極Xに交互に電圧Vccの第1、第2維持パルス123a、123bを印加し、表示放電を行う。この時の第1、第2維持パルス123a、123bとそれらの電位差(Yi-X)との拡大図を図3(a)～図3(c)に示す。

【0085】維持パルス123a、123bは、従来と異なり、次のように出力される。即ち、走査電極Yiに印加する第2維持パルス123bと維持電極Xに印加する第1維持パルス123aとが互いに時間軸上で一部重なり合うように生成される(図3(a)～図3(e)中に示すXおよびYのタイミング)。

【0086】換言すれば、第2維持パルス123bの出力期間p2と第1維持パルス123aの出力期間p1とが、互いに一部重複した状態にある。即ち、図3(d)に示す期間topでは、両維持パルス123a、123bがそれぞれX、Y電極に印加されている。ここで、「出力期間」とはパルスの立ち上がり開始時と立下がり終了時とで規定される期間を意味する。

【0087】なお、維持パルスの立ち上がりおよび立下がりにおいては、従来の(図30および図31(a)、図31(b))を用いて説明したものと同様に、LC直列共振を用いた無効電力回収を行っている。従って、図33の等価回路が成立し、図34(a)、図34(b)の波形が生成される。この場合、維持パルスが最初に立ち上がる方(図3(a)で示す例では走査電極Yの方)の無効電力回収回路を構成するインダクタン

スL_Yは比較的小さく設定して、第2維持パルス123bの立ち上がり・立ち下りの電圧変化率をとともに速くする。そして、後から立ち上がる側(図3(b)の示す例では維持電極X)は、インダクタンスL_Xを比較的大きく設定して、第1維持パルス123aの立ち上がり・立ち下りの電圧変化率をとともに遅くする。(L_Y<L_X)。

【0088】そこで、このような維持パルス123a、123bの印加状態において、走査電極Yiと維持電極Xの電位差を考えると、図3(c)に記号Yi-Xで示したように、時刻t_{f3}～t_{f4}間では、維持電極Xの電圧は0Vから維持パルス電圧Vccまで立上っているが、電位差(Yi-X)は逆上記電圧Vccから0Vまでに戻っているため、ガス放電は発生しない。一方、時刻t_{f4}～t_{f5}では、走査電極Yiの電圧は上記電圧Vccから0Vにまで戻っているが、電位差(Yi-X)は0Vから負の極性の維持パルス電圧-Vccにまで立下がっており、ガス放電が発生する。このようにして、電位差(Yi-X)は、0Vから立ち上がり、ガス放電の発生するエッジ(時刻t_{f1}～t_{f2})及び、0Vから立下がり、ガス放電の発生するエッジ(時刻t_{f4}からt_{f5})では速く変化し、電位差(Yi-X)が0Vに戻る側(ガス放電は発生しない)のエッジ(時刻t_{f3}～t_{f4}及び時刻t_{f6}～t_{f7})では、緩やかに変化する、波形が得られる。

【0089】以上のように、この実施の形態1によれば、走査電極と維持電極の電位差(Yi-X)を、ガス放電の発生側のエッジでは速く、ガス放電の発生しない側のエッジでは緩やかに変化する波形としている。これにより、プラズマディスプレイパネルのガス放電に悪影響を与えることなく、X維持電極側のインダクタンスを比較的大きく設定することができ、X維持電極側での無効電力回収効率が上がリ、消費電力を低減することができる。

【0090】また、インダクタ24および36は、X維持ドライバ2とY維持ドライバ3におのおの1個ずつ設ければよく、回路が複雑になることもないので、比較的低いコストで、実現できる。

【0091】(実施の形態2)図6は、図1に示す維持パルス発生回路のスイッチ素子として実際のデバイスを用いて構成した実施の形態2を示したもので、図1と同一部分には同一符号を付して重複説明を省略する。ここでは、立ち上がり・立ち下りの電圧変化率の遅い維持パルスを発生する走査ドライバ3では、そのスイッチ素子として電界効果トランジスタ(FET)を用いる。又、立ち上がり・立ち下りの電圧変化率の遅い維持パルスを発生するX維持ドライバ2では、スイッチ素子26、28等として、実施の形態1のようにFETを用いて良いが、これに代えて、IGBTまたはバイポーラトランジスタを用いている。尚、IGBT、バイポーラト

ランジスタを、「接合型のバルクトランジスタ」と総称する。

【0092】この実施の形態2によれば、立ち上がり・立ち下がりを遅くできる側（例えば、維持電極X側）は、スイッチング速度が遅いスイッチ素子を用いることができるため、スイッチング速度は遅いけれども、オン抵抗の小さなスイッチ素子を使用しており、これにより、スイッチ素子内の電力損失を低減して、低電力化、回路素子の小型化、低コスト化を達成することができる。

【0093】（実施の形態3）図7（a）～図7（e）はこの発明の実施の形態3による駆動波形であるブライミングパルス、維持パルス123a、123bおよびアドレスパルスの関係を示すタイミング図であり、第2維持パルス123b及び第1維持パルス123aを全て出力した直後に、第2維持パルス123bとは独立した壁電荷極性調整用のパルス124を走査電極Yi側に印加するようにしたものである。勿論、本実施の形態3は実施の形態1、2の基本的構成を採用しており、そこで得られた利点はここでも得られる。

【0094】本実施の形態におけるプラズマディスプレイ装置の全体構成を図8に示す。

【0095】図8と図4との相違点は制御回路107B、107Aにあり、その他の構成は実施の形態1～2の場合と同一であり、X、Yドライバ105、103はそれぞれ図1のドライバ2、3にあたり、走査ドライバ104は図1のドライバ31にあたる。制御回路107Bの内、制御回路107Aと相違する点は、Y維持ドライバ103に出力する第2制御信号CNTYBにある。但し、機能的に相違があるのみであり、回路構成の上では、両回路107B、107A間には差はなく、周知の設計事項の範囲内で回路107Aを修正するだけで、回路107Bを構成することができる。

【0096】図7（b）～図7（d）のパルス124は、次のようにして、第2維持パルス123bとは別個に生成される。即ち、図8の制御回路107Bは、第1及び第2維持パルス123a、123bが全て出力されて放電維持工程が終了した時刻、つまり図7（e）に示す時刻 t_{ST} において、図1の各スイッチ素子の第1～第4スイッチ制御信号を総称する、図8に示す第2制御信号CNTYBを、Yドライバ103（図1のYドライバ3）に出力する。このとき、第1制御信号CNTXBのレベルは変化していない。これにより、図31（b）に示した手順に従って第1～第4スイッチ34a、34b、38、39が制御され、図34（a）、図34（b）に示す波形と同一波形の上記パルス124が生成される。このときの、第1スイッチ～第4スイッチ34a、34b、38、39に印加される第1～第4スイッチ制御信号V34a～V39のタイミングチャートを図9（a）～図9（d）に示す。又、他のスイッチ22

a、22b、26、28に印加される制御信号V22a～V28を図9（e）、図9（f）に示す。

【0097】走査電極Yiに印加する第2維持パルス123bと維持電極Xに印加する第1維持パルス123aとの出力期間が互いに一部重なり合うように、両パルス123a、123bを各電極X、Yに印加した場合、維持動作の前に蓄積されていた壁電荷と同じ極性の壁電荷が蓄積された状態のままで維持動作が終了する。ところが、①維持動作を行う前に蓄積されていた壁電荷の極性と、②維持動作の後、引き続いて行われる動作が良好に行われるために必要な壁電荷の極性とは、必ずしも一致しない。

【0098】例えば、図7（a）～図7（e）に示した駆動波形を印加した場合においては、アドレス動作の後（維持動作に入る前）は走査電極Yi上に正、維持電極X上に負の壁電荷が蓄積されている。この状態から維持動作を開始するためには、走査電極Yiを先に立ち上げてやればよい（壁電荷による壁電圧と、外部から印加する電圧が、加算されるようにするため）。

【0099】この場合、走査電極Yiと維持電極Xに与えられるそれぞれの維持パルスの重ね合わせ（すなわち走査電極Yiに印加される維持パルスの終端部と、維持電極Xに印加される維持パルスの先端部とが時間的に重なり合う）を行うと、一連の維持動作における最後のパルスは、維持電極Xに印加される維持パルスとなる。従って維持期間の終了後には、走査電極Yi上に正、維持電極X上に負の壁電荷がそれぞれ蓄積されることになる。つまり、維持動作を開始する前と同じ極性の壁電荷が存在することになる。

【0100】ところが、それに続く次の駆動周期でブライミングパルスを維持電極Xに印加する前においては、ブライミング放電を妨げないようにするために、走査電極Yi上に負、維持電極X上に正の壁電荷が蓄積されていなければならない。

【0101】そこで、この実施の形態3においては、維持動作の後に走査電極Yi上および維持電極X上に存在する壁電荷の極性を反転させるための壁電荷極性調整パルスを挿入して、壁電荷の極性を反転させており、これにより、次の駆動周期におけるブライミング放電を確実に行わせることができる。

【0102】（実施の形態4）図10（a）～図10（e）はこの発明の実施の形態4による駆動波形であるブライミングパルス、維持パルスおよびアドレスパルスの関係を示すタイミング図であり、ここでは、実施の形態3とは異なり、アドレス動作後、維持動作が開始される直前に、維持パルスとは独立した壁電荷極性調整用のパルス125を図1のYドライバ3側で生成しY電極に印加するようにしている。この場合には、X電極に印加する第1維持パルス123aの立ち上がり、立ち下りの電圧変化率を共に速くなるように図1のインダクタン

ス L_x を設定し、逆に走査電極Yに印加する第2維持パルス123bの立ち上がり、立ち下りの電圧変化率を遅くするように図1のインダクタンス L_y を設定している($L_x < L_y$)。従って、実施の形態1、2とは逆にY電極側で無効電力回収効率を高めることが可能となる。それ故、実施の形態1及び2の利点を保持しつつ、実施の形態3と同様の効果を得ることができる。

【0103】なお、実施の形態4においては、壁電荷極性調整用のパルス125は、互いに出力期間が一部重なり合った維持パルス123a、123bとは独立に生成しているので、当該パルス125のパルス幅を自由に制御することが可能であり、特にパルス幅を維持動作の際に与えるパルス(維持パルス123a、123b)のパルス幅よりも長く設定すれば、維持動作を開始する前の壁電荷の極性を調整することが可能であるとともに、壁電荷の蓄積状態の安定化を図ることができる。

【0104】又、上記パルス125の生成方法及びそのための構成は、実施の形態3で述べたパルス124の生成の場合と基本的に変わりはない。

【0105】(実施の形態5) 上述した各実施の形態1~4においては、維持パルスを正極性のパルスとして説明してきたが、図11(a)~図11(e)に示すように、互いに出力期間が部分的に重なりあった負極性のパルスを維持パルス123a、123bとして用いることもでき、このときにも同様の作用効果が得られる。

【0106】(実施の形態6) 実施の形態1~実施の形態5では、駆動回路のコストを上げることなく、維持パルスの実質的な立ち上がりの電圧変化率、すなわちガス放電の発生するエッジの立ち上がり速度を速くすることにより、ガス放電になるべく影響を与えないようにしながら無効電力回収効率を上げるようにしたものについて説明した。

【0107】ところで、従来の技術の説明においても述べたように、LC直列共振回路におけるインダクタから電流を供給している間にパネル側でガス放電が発生してしまうか否かは、LC直列共振回路によるパネル電圧 V_p の到達レベルにも依存しており、むしろこちらの方が問題となる場合が多い。以下に述べる実施の形態6に示すものにおいては、この点を考慮しつつ、LC共振回路のQ値の設定により定まるパネル電圧 V_p の到達レベル V_1 (図34(a)参照)を出来る限り高く設定しつつ、実際にはパネル電圧 V_p の到達レベルを上記レベル V_1 よりも低く且つ放電開始電圧 V_f よりも低いレベル(後述する第2レベル V_2)に制御ないしくランプして無効電力回収効率を最大限に引き上げるための改良を加えている。

【0108】図12(a)~図12(c)には、この発明の実施の形態6における動作を説明するための、LC共振を用いたプラズマディスプレイパネルの充電過程における電圧・電流波形図を、図13、図14、図15に

は、この動作における電流経路を説明するための回路図をそれぞれ示す。更に従来の技術との差を明確にするため、図12(d)、図12(e)および図12(f)、図12(g)に、従来の技術による動作における電圧・電流波形図を併せて示す。

【0109】図16は、図26に対応する、本実施の形態に係るプラズマディスプレイ装置の全体構成を示すブロック図である。図16の装置が図26の先行回路と相違する点は、制御回路107Cにある。即ち、制御回路107CがX、Y維持ドライバ103、105へ出力する第1、第2制御信号CNTXC、CNTYCの機能が、特に維持パルスの立上りを制御する制御信号のタイミングが、図26の従来の制御回路107が出力する制御信号の立上がりタイミングと根本的に相違している。このように両制御回路107C、107は機能的に大きく異なるが、回路構成の上では、制御回路107に対して通常設計時になしうる回路変形を施すことによって、本制御回路107Cを実現でき、その意味では、新たな機能を付加させつつも容易にハード的に又はソフト的に新たな本制御回路107Cを実現できるというメリットがある。

【0110】図16中の各ドライバ103、104、105の具体的回路構成例は、図1中の各ドライバ3、31、2に相当している。又、図13、図14、図15にはX電極側の維持ドライバの回路構成と動作とが図示されているが、Y電極側の維持ドライバの回路構成と動作も同様である。又、本実施の形態における全体動作を示すタイミングチャートとしては、既述した図28(a)~図28(f)を援用することができる(即ち、X、Y維持パルスの出力期間は互いに時間的に一部分が重なり合っていない)。

【0111】本実施の形態では、図1に示すインダクタンス L_x 、 L_y の値は共に、LC直列共振回路のQ値設定に応じて定まるパネル電圧 V_p の到達電圧 V_1 が放電開始電圧 V_f よりも大きく、しかも電圧 V_1 が出来る限り電源電圧 V_{cc} (それは図30、図31(a)が示す理想的な到達電圧である)に近づくように、比較的大きな値に設定される。即ち、 $V_f < V_1 < V_{cc}$ の関係が成立するように、Q値が大きく設定される。そして、このとき生ずる既述の問題点を、放電開始電圧 V_f よりも低いレベル V_2 ($V_2 < V_f$ & $V_2 < V_1$)にパネル電圧 V_p が到達したタイミングにおいて、第3スイッチS3を閉じて上昇中のパネル電圧 V_p を電源電圧 V_{cc} にクランプすることで解決している。

【0112】尚、 $V_1 < V_f \leq V_{cc}$ の関係が成立するようにQ値が設定されていても良いが、この場合は、上述した問題点の解決に寄与するものでない。以下、動作について説明する。

【0113】なお、符号の説明については、同一符号はこれまでの説明と同一、または同様のものであるため説

明を省略する。

【0114】状態(1)。(図13)(時刻 $t_0 \sim t_2$)

まず、時刻 t_0 において、第2～第4スイッチ素子 S_2, S_3, S_4 を開いた状態において、第1スイッチ素子 S_1 のみを閉じると、電圧 V_{ss} に充電されたコンデンサ10からインダクタ11を介してプラズマディスプレイパネルのX、Y電極間における静電容量成分12に充電電流 i_L が流れる。このときインダクタ11および静電容量成分12がLC直列共振回路を形成し、パネル電圧 V_p は第1レベル V_1 を目指して立ち上がり始める。

【0115】このときの動作を更に詳しく見ると、最初、インダクタ11を流れる電流 i_L が徐々に増大し、インダクタ11にエネルギーが蓄えられる。パネル電圧 V_p が電圧 V_{ss} に達した時点 t_1 で、インダクタ11を流れる電流 i_L が最大値 i_{L1} に達し、インダクタ11に蓄えられるエネルギー E_L も最大値 $1/2 \times L \times i_{L1}^2$ となる。その後は、インダクタ11に蓄えられたエネルギーがパネル容量たる静電容量成分12に対して放出されることにより、インダクタ11を流れる電流 i_L が徐々に減少する。

【0116】状態(2)-A。(図14)(時刻 $t_2 \sim t_3$)

パネル電圧 V_p が第1レベル V_1 にまで到達するよりも前の時点、即ちパネル電圧 V_p が第2レベル $V_2 (< V_f)$ に達した時点 t_2 で第3スイッチ素子 S_3 (クランプスイッチ)を後述する第3スイッチ制御信号で以て閉じる。このとき、まだ第1スイッチ素子 S_1 は閉じたままとする。第3スイッチ素子 S_3 を閉じた時点 t_2 ではインダクタ11を流れる電流 i_L はまだ0になっておらず、流れている。この瞬間の電流を値 i_{L2} とすると、インダクタ11には、まだ $1/2 \times L \times i_{L2}^2$ のエネルギーが蓄えられており、この蓄えられたエネルギーを静電容量成分12に放出し終わるまでインダクタには電流が流れ続ける。併せて、第3スイッチ素子 S_3 が閉じられているため、第3スイッチ素子 S_3 を通して電流が供給される。即ち、比較的高出力インピーダンスの第1電流供給線 L_1 と、比較的低出力インピーダンスの第2電流供給線 L_2 とから、充電電流がパネル容量12に供給されている。換言すれば、図14に示すように、状態

(2)-Aの期間においては、インダクタ11を通る経路とスイッチ素子 S_3 を通る経路の2つの経路から並列的に電流が供給される。この状態の生成がこの実施の形態の特徴部分であり、これにより、従来のようにインダクタからの電流供給がなくなってから外部電源より電流を供給する構成と比べて、電力回収率を高めることが出来る。しかも、電圧 V_p がレベル V_2 からレベル V_1 へ上昇する途中でガス放電が生じても、回路側の出力インピーダンスは低出力インピーダンスの状態にあるため、

放電特性に悪影響を及ぼすこともない。

【0117】状態(2)-B。(図15)(時刻 $t_3 \sim$)

インダクタ11に蓄えられたエネルギーが全て放出されて0になり且つパネル電圧 V_p は第1レベル V_1 になった時刻 t_3 以後は、第3スイッチ素子 S_3 のみを通して電流が供給され、パネル電圧 V_p は電源電圧 V_{cc} に保持される。なお、第1スイッチ素子 S_1 に直列に接続されるダイオードにより、電源側から第1スイッチ素子 S_1 を経由してコンデンサ10へ流れる電流は阻止されているため、第1スイッチ素子 S_1 は、状態(2)-Bの期間中のいずれかの時点で開けば良い。

【0118】既述した通り、第2レベル V_2 は比較的低い電圧であるので、(1)の期間($t_0 \sim t_2$)はまだガス放電は開始せず、ガス放電電流は、状態(2)-A($t_2 \sim t_3$)あるいは状態(2)-B($t_3 \sim$)のいずれかの期間で流れる。状態(2)-Aおよび(2)-Bの期間においては既に第3クランプスイッチ S_3 が閉じられており、静電容量成分12に流入する電流の経路においては出力インピーダンスを十分に低くすることが出来るため、急激にガス放電電流が流れてもパネル電圧 V_p の低下は発生しないか、発生してもその低下を極めて小さく抑えることができ、Q値を高めて無効電力回収率を高めつつ、プラズマディスプレイパネルの放電特性に悪影響を与えることが無くなる。

【0119】以上の説明において、インダクタ11を流れる電流 i_L が最大値から減少し始めて0になる前に、即ち電流 i_L の減少期間中に、第3クランプスイッチ S_3 を閉じる点が従来の技術と異なっており、この実施の形態6によって得られる効果を、従来の動作と併せて説明する。

【0120】尚、図17(a)～図17(d)に、第1～第4スイッチ $S_1 \sim S_4$ に印加される第1～第4スイッチ制御信号 $VS_1 \sim VS_4$ (それを総称したものが第2制御信号CNTYC)のタイミングチャートを示す。又、比較の意味で、図30の場合の第1～第4スイッチ制御信号 $VS_1P \sim VS_4P$ のタイミングチャートを図18(a)～図18(d)に示す。

【0121】i) 図12(d)、図12(e)は、LC共振回路のQ値が図12(a)と同程度に高い状態において、従来のように $i_L = 0$ の時点で第3クランプスイッチ S_3 を閉じる従来技術の場合を示している。この場合において、無効電力の回収効率を高くすることは可能であるが、状態(1)すなわちLC共振回路におけるインダクタ11からのみ電流を供給している状態でガス放電電流が流れてしまい、パネル電圧 V_p が低下して、プラズマディスプレイパネルの放電特性に悪影響を与えてしまうことは既に述べた通りである。

【0122】ii) そこで、LC共振回路での到達電圧を、放電開始電圧を超えない程度、すなわち第2レベル

V2程度になるまで、LC共振回路のQを下げた従来技術の場合を示した図が図12(f)、図12(g)である。この場合、放電特性には悪影響を与えないが、インダクタからの電流供給終了後に電源から電流を供給するので、無効電力回収効率はおよそ $V2/Vcc$ 程度まで低下してしまう。

【0123】この場合の回収効率を図12(a)、図12(b)、図12(c)に示す本発明の実施の形態6の場合と比較すると、図12(f)では、パネル電圧 Vp がレベルV2に達した時点で $i_L=0$ となり、以後はインダクタLから電流がパネルに供給されないため、パネル電圧 Vp をV2から Vcc まで上昇させるための電流は、全て電圧 Vcc の電源より第3クランプスイッチS3を通して供給するのに対し、図12(a)～図12(c)に示す実施の形態6によれば、第2レベルV2から電源電圧 Vcc までパネル電圧を上昇させるための電流の一部をインダクタLより供給することとなり(図

12(a)、図12(b)、図12(c)の電流波形における斜線部分)、電源から供給されるべき電流は、その分少なくなる。

【0124】尚、図12(a)～図12(c)に示す破線の曲線は、図30、図31(a)、図31(b)の場合を示している。

【0125】プラズマディスプレイ装置における消費電力は、電源から供給する電流の総量(時間積分)に比例するため、図12(f)、図12(g)の場合に比べて、図12(a)～図12(c)の場合の消費電力は小さくなる。すなわち、無効電力回収効率は図12(a)～図12(c)に示す場合の方が高くなる。

【0126】以上、図12(a)～図12(g)における各特徴の比較を表にまとめると、以下に示す通りとなる。

【0127】

【表1】

	図12(a) ～図12(c) (実施の形態6)	図12(d) ～図12(e) (従来技術)	図12(f) ～図12(g) (従来技術)
共振のQ	Q大	Q大	Q小
クランプ 電圧	V2	V1	V2
パネルの 放電特性 への悪影響	無し	有り	無し
無効電力 回収効率	中	大	小

【0128】無効電力回収効率のみを比較すれば図12(d)による場合が最も高いが、プラズマディスプレイの放電に悪影響が発生する。従って、放電に悪影響を与えずにかつ無効電力の回収効率を高く保とうとするには、図12(a)～図12(c)に示す本発明の実施の形態6による方が優れている。

【0129】また、更に回収効率を高める目的でLC共振のQ値を高くするには、インダクタLのインダクタンス L (L_x , L_y)をより一層大きく設定すればよく、その時、パネル電圧 Vp が放電開始電圧 Vf に達する直前でクランプスイッチ(図14におけるスイッチ素子S3)を閉じてやれば、立ち上がり時の電圧上昇率が比較的に遅くなくても、ガス放電に悪影響を与えることはない。

【0130】また、実施の形態1～実施の形態5に示したような方法を用いて、X、Y電極間の電位差を与えるパルスの放電の発生する側のエッジでの立ち上がりの電圧変化率を速くすれば、即ちインダクタンス L_y を小さくし、且つインダクタンス L_x を大きくすれば、それに

伴い放電開始電圧 Vf が相対的に高くなるので(図3(c)参照)、この点を利用することにより実施の形態1と実施の形態6の両方の効果を重疊的に得ることができる。即ち、(a)インダクタンス L_y を $V1 > Vf$ の関係が満たす範囲で小さくするか、(b)インダクタンス L_y を変えないでインダクタンス L_x のみをより大きくして電位差 $(Yi - X)$ の立下がり時間をより長くするか、(c)上記(a)と(b)とを合体させて両インダクタンス L_x , L_y を変更するという、いずれかの変形を用いることで、更に無効電力回収効率を向上させることも可能である。

【0131】なお、パルスの立ち下がり(放電の発生しない側のエッジ)は放電特性に影響を与えないので、 $i_L=0$ になった後に第4クランプスイッチS4を閉じれば良い。

【0132】この場合、パルスの立ち上がりとしち下がりとはタイミング条件が異なるため、 $Vss = Vcc/2$ とはならない。 $Vss = Vcc/2$ のときを初期条件として電圧 Vss の最終到達電流を考えると、パルス

の立ち上がりでコンデンサ10から流れ出す電流よりも、パルスの立ち下がりでコンデンサ10に流れ込む電流の方が大きいので、電圧 V_{ss} は上昇し、電圧($V_{cc}/2$)よりやや高い値で安定する。

【0133】(実施の形態7)図19に、この発明の実施の形態7における駆動回路を、図20(a)、図20(b)には、この発明の実施の形態7における動作を説明するための、LC共振を用いたプラズマディスプレイパネルの充電過程における電圧・電流波形図を、図21、図22、図23には、この動作における電流回路を説明するための回路図をそれぞれ示す。

【0134】図24は、本実施の形態に係るプラズマディスプレイ装置の全体構成を示すブロック図である。同図24の制御回路107Dが出力する第2制御信号CNTYDのタイミングに特徴があり、それは既述した図16の第2制御信号CNTYCに相当する。そのタイミングチャートを図25(a)～図25(e)に示す。本回路107Dについても、その機能は新規であるが、それを実現する回路構成については、通常的设计上の変更の範囲内で図26の回路107を修正することで得られる。

【0135】図24の各ドライバ103、104、105はそれぞれ図19中のブロックBL1～BL3にあたる。

【0136】図19において、12はプラズマディスプレイの電極間の静電容量成分を表わしている。パネル電圧 V_p は、プラズマディスプレイの電極間の電位差であり、ここでは図中右側の電極の電位を基準として、左側の電極が正の電圧の場合に V_p を正の値としてあらわす。11はインダクタ、Dはダイオード、S1～S6はスイッチ素子である。このうちスイッチS4～S6は、パネルの各電極の電圧を $+V_{cc}$ およびグランドレベルに低インピーダンスで保持可能であるクランプスイッチである。ここでは、各スイッチ素子S1～S6は、“L”レベルの制御信号によりオフ状態に制御され、かつ、“H”レベルの制御信号を受けてON状態となるものであり、例えばFETで構成されても良い。

【0137】図19に示した回路構成は、特開平8-152865号公報又はヨーロッパ出願の公開公報EP0704834A1のFig. 5に示されたものと同一であるが、この発明の実施の形態7においては、上述した実施の形態6と同様に、プラズマディスプレイのガス放電が発生する前にクランプスイッチをONすることにより、プラズマディスプレイパネルのガス放電に悪影響を与えないように動作を改良したものである。

【0138】以下、動作について説明する。

【0139】状態(1)。(図21)

まず、パネル容量12が電圧 $-V_{cc}$ に充電された状態で、スイッチ素子S2～S6を開き、スイッチ素子S1を閉じる。すると、静電容量成分12に充電された電荷

がインダクタ11を介して放電される。

【0140】このとき、パネル容量12とインダクタ11がLC直列共振回路を形成し、パネル電圧 V_p はQ値に応じて定まる到達電圧 $+V_1$ を目指して立ち上がり始める。理想的な状態では $V_1=V_{cc}$ であるが、共振回路中に存在する抵抗成分により、到達電圧 V_1 は電源電位 V_{cc} よりやや低い電圧となる($V_1<V_{cc}$)。

【0141】このときの動作を更に詳しく見ると、最初インダクタLを流れる電流 i_L が徐々に増大し、インダクタLにエネルギーが蓄えられる。パネル電圧 V_p が0Vになった時点で、電流 i_L が最大値 i_{L1} に達し、インダクタLに蓄えられるエネルギーも最大値 $1/2 \times L \times i_{L1}^2$ となる。その後は、インダクタLに蓄えられたエネルギーが静電容量成分12に対して放出されることにより、電流 i_L が徐々に減量する。

【0142】状態(2)-A。(図22)

パネル電圧 V_p が到達電圧 V_1 まで到達するよりも前、パネル電圧 V_p が第2レベル V_2 に達した時点でスイッチ素子S3及びS6を閉じる。このとき、まだスイッチ素子S1は閉じたままとする。両スイッチ素子S3およびS6を閉じた時点では、電流 i_L は0Aになっていない。この瞬間の電流を記号 i_{L2} として表わすと、インダクタ11には、まだ $1/2 \times L \times i_{L2}^2$ のエネルギーが蓄えられており、この蓄えられたエネルギーを静電容量成分12に放出し終わるまで、インダクタ11には電流が流れ続ける。併せて、スイッチ素子S3およびS6が閉じられているため、スイッチ素子S3およびS6を通して電流が供給される。

【0143】従って、図22に示すように、状態(2)-Aの期間においては、インダクタLを通る経路とスイッチ素子S3およびS6を通る経路との2つの経路から、並列的に電流が供給される。

【0144】状態(2)-B。(図23)

インダクタLに蓄えられたエネルギーが全て放出されて0になった後は、スイッチ素子S3およびS6を通る経路によってのみ電流が供給され、パネル電圧 V_p は維持パルス電圧 $+V_{cc}$ に保持される。なお、スイッチ素子S1に直列に接続されるダイオードにより、電源側からスイッチ素子S1を経由してグランドへ流れる電流は阻止されているため、スイッチ素子S1は、状態(2)-Bの期間中のいずれかの時点で開けば良い。

【0145】状態(3)～状態(4)-B。(図示せず)

状態(1)～(2)-Bと同様で逆極性の動作が行われる。

【0146】第2レベル V_2 は、比較的低い電圧($V_2<V_f$ & $V_2<V_1$)であるので、(1)の期間はまだガス放電は開始せず、ガス放電電流は、状態(2)-Aあるいは状態(2)-Bのいずれかの期間で流れる。状態(2)-Aおよび(2)-Bの期間においては既にク

ランプスイッチS3およびS6が閉じられており、静電容量成分12に流入する電流の経路においては出力インピーダンスは十分に低くすることができるため、急激にガス放電電流が流れても、パネル電圧 V_p の低下は発生しないか、発生しても、極めて小さく抑えることができ、プラズマディスプレイのガス放電特性に悪影響を与えることがなくなる。

【0147】

【発明の効果】請求項1記載の発明によれば、プラズマディスプレイのガス放電特性に悪影響を与えない範囲で、最大限高い無効電力回収効率を得ることができる効果がある。

【0148】請求項2記載の発明によれば、ガス放電が発生する前に駆動回路の出力インピーダンスを低くすることができるので、プラズマディスプレイのガス放電特性への悪影響を確実に防止することができる効果がある。

【0149】また、ガス放電特性に悪影響を与えない範囲で高い無効電力回収効率を得ることができる効果がある。

【0150】請求項3記載の発明によれば、ガス放電が発生する前に駆動回路の出力インピーダンスを低くすることができるので、プラズマディスプレイのガス放電特性への悪影響を確実に防止することができる効果がある。

【0151】また、ガス放電特性に悪影響を与えない範囲で高い無効電力回収効率を得ることができる効果がある。

【0152】請求項4ないし6記載の発明によれば、プラズマディスプレイのガス放電特性に悪影響を与えない範囲で、最大限高い無効電力回収効率を得ることができる効果がある。

【0153】請求項7記載の発明によれば、一方の電極に印加するパルスは、立ち上がり、立ち下がりともガス放電を発生し、もう一方の電極に印加するパルスは、立ち上がり、立ち下がりともガス放電を発生しないため、パルスの立ち上がり、立ち下がり速度や出力インピーダンスなどの最適化を、それぞれのパルスの発生回路で独立に行うことができる効果がある。

【0154】更に、請求項7記載の発明によれば、ガス放電が発生するタイミングでのパルスの立ち上がりのみを速くことができ、プラズマディスプレイの放電特性に悪影響を与えることなく高い無効電力回収効率を得ることができる効果がある。

【0155】請求項8記載の発明によれば、ガス放電が発生するタイミングでのパルスの立ち上がりのみを速くことができ、プラズマディスプレイのガス放電特性に悪影響を与えることなく高い無効電力回収効率を得ることができる効果がある。

【0156】請求項9記載の発明によれば、ガス放電が

発生するタイミングでのパルスの立ち上がりを速く保ちながら、オン抵抗の小さいスイッチ素子を使用することができるので、プラズマディスプレイのガス放電特性に悪影響を与えることなくスイッチ素子内の電力損失を低減することができ、低消費電力化、回路素子の小型化・低コスト化ができる効果がある。

【0157】請求項10記載の発明によれば、ガス放電が発生するタイミングでのパルスの立ち上がりを速く保ちながら、オン抵抗の小さいスイッチ素子を使用することができるので、プラズマディスプレイのガス放電特性に悪影響を与えることなくスイッチ素子内の電力損失を低減することができ、低消費電力化、回路素子の小型化・低コスト化ができる効果がある。

【0158】請求項11及び12記載の両発明によれば、ガス放電維持動作終了直後に生ずる壁電荷の極性を反転させることができるので、維持動作の終了後、引き続き行う次の駆動周期におけるプライミング放電を確実に行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による維持パルス発生回路を示す回路図である。

【図2】 この発明の実施の形態1による駆動波形を示すタイミング図である。

【図3】 維持パルスの拡大図である。

【図4】 実施の形態1に係るプラズマディスプレイ装置の全体構成を示すブロック図である。

【図5】 スイッチ制御信号のタイミングチャートである。

【図6】 実際のデバイスを使用したこの発明の実施の形態2による維持パルス発生回路図である。

【図7】 この発明の実施の形態3による駆動波形を示すタイミング図である。

【図8】 実施の形態2に係るプラズマディスプレイ装置の全体構成を示すブロック図である。

【図9】 スイッチ制御信号のタイミングチャートである。

【図10】 この発明の実施の形態4による駆動波形を示すタイミング図である。

【図11】 この発明の実施の形態5による駆動波形を示すタイミング図である。

【図12】 この発明の実施の形態6による動作を説明するLC共振を用いたプラズマディスプレイパネルの充電過程を従来技術の充電過程と共に示す波形図である。

【図13】 この発明の実施の形態6による動作における電流経路の説明図である。

【図14】 この発明の実施の形態6による動作における電流経路の説明図である。

【図15】 この発明の実施の形態6による動作における電流経路の説明図である。

【図16】 実施の形態3に係るプラズマディスプレイ

装置の全体構成を示すブロック図である。

【図17】 実施の形態6に係るスイッチ制御信号のタイミングチャートである。

【図18】 図30に示す従来技術の場合のスイッチ制御信号のタイミングチャートである。

【図19】 この発明の実施の形態7における駆動回路図である。

【図20】 この発明の実施の形態7による動作を説明するLC共振を用いたプラズマディスプレイパネルの充電過程における電圧・電流波形図である。

【図21】 この発明の実施の形態7上記動作における電流経路の説明図である。

【図22】 この発明の実施の形態7上記動作における電流経路の説明図である。

【図23】 この発明の実施の形態7上記動作における電流経路の説明図である。

【図24】 実施の形態7に係るプラズマディスプレイ装置の全体構成を示すブロック図である。

【図25】 実施の形態7のスイッチ制御信号のタイミングチャートである。

【図26】 プラズマディスプレイの構成を示す概要図である。

【図27】 プラズマディスプレイパネルのセルの構成を示す断面図である。

【図28】 プラズマディスプレイの駆動方法を示す印加電圧波形の説明図である。

【図29】 プライミングパルスにおける壁電荷の移動を説明する図である。

【図30】 従来の維持パルス発生回路のX共通ドライバ回路図である。

【図31】 図30の動作説明図である。

【図32】 プラズマディスプレイパネルおよび駆動回路の等価回路図である。

【図33】 図32の簡略化した等価回路図である。

【図34】 図32の動作説明図である。

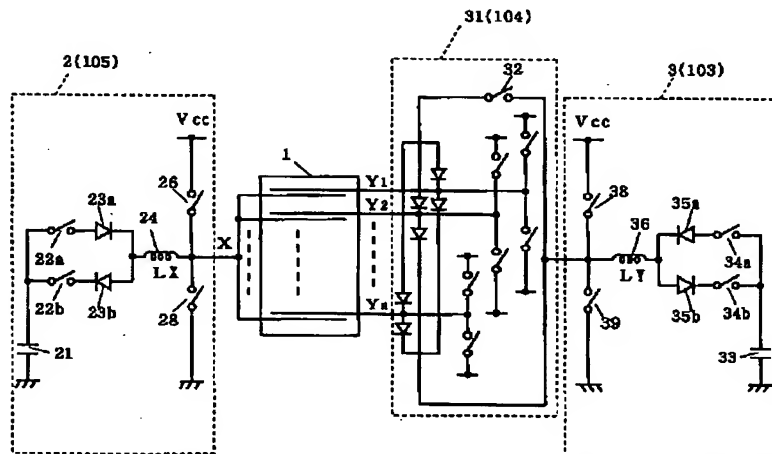
【図35】 放電電流によるパネル電圧の変化と放電電流の変化とを示す図である。

【図36】 LC共振回路のQ値と到達電圧との関係を示す図である。

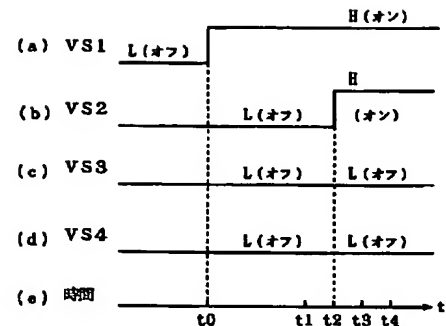
【符号の説明】

1 表示パネル、2, 105 X維持ドライバ、3, 103 Y維持ドライバ、11, 24, 36 インダクタ、26, 38 第3スイッチ素子、123a 第1維持パルス、123b 第2維持パルス。

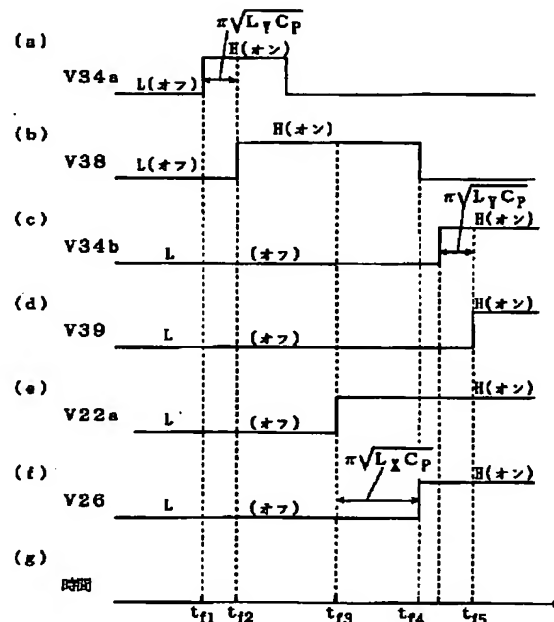
【図1】



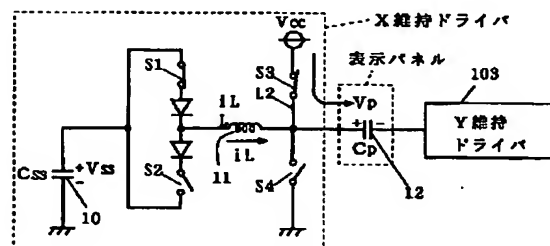
【例 17】



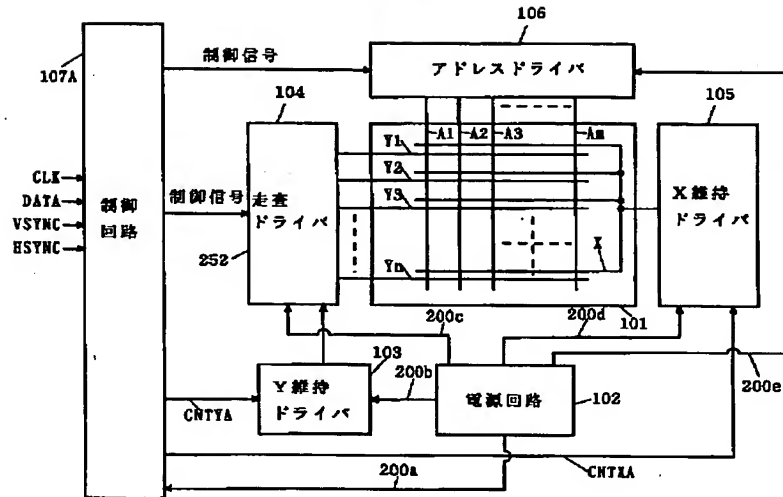
【图5】



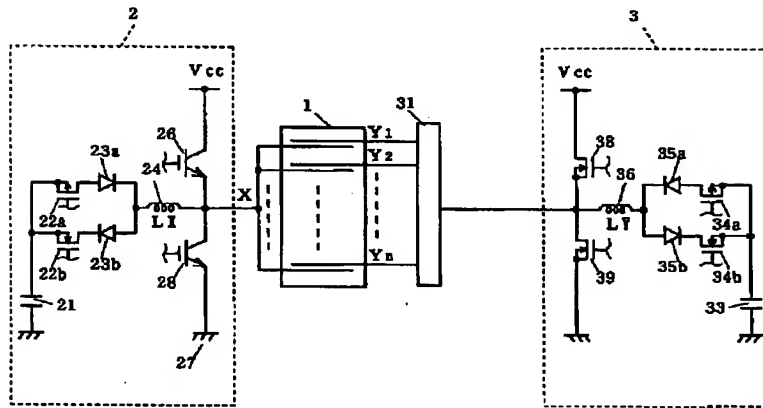
【図15】



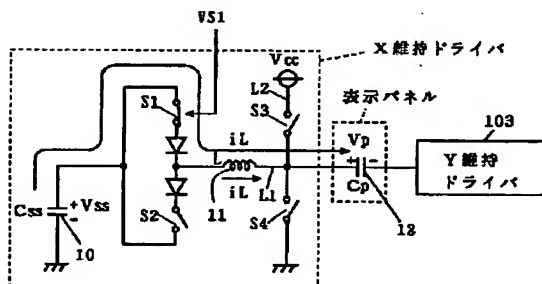
【図4】



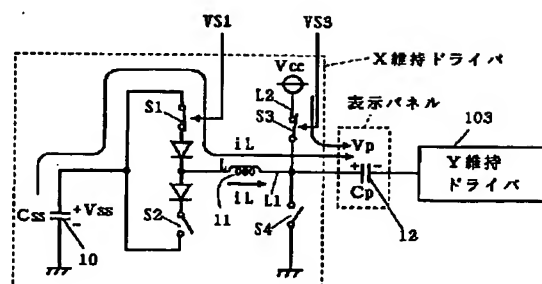
【図6】



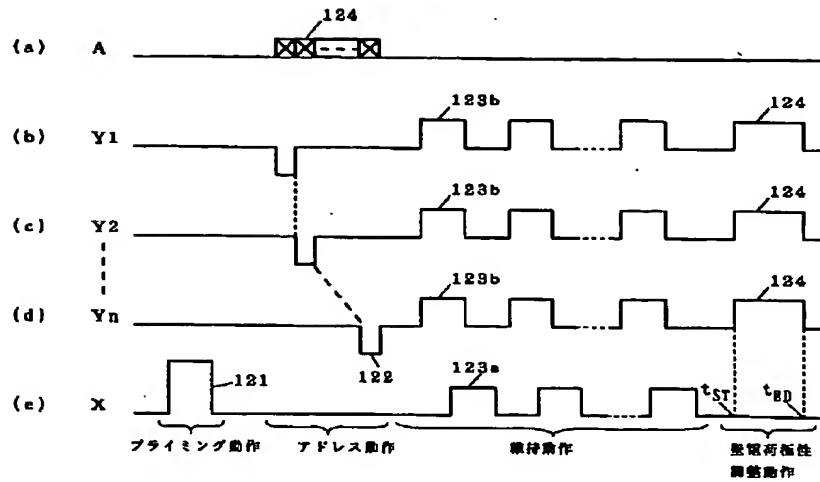
【図13】



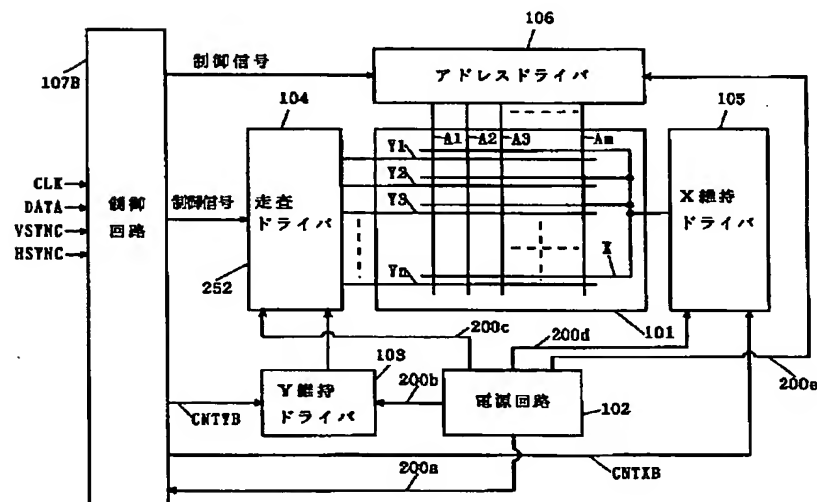
【図14】



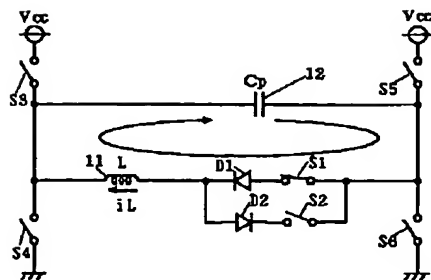
【図7】



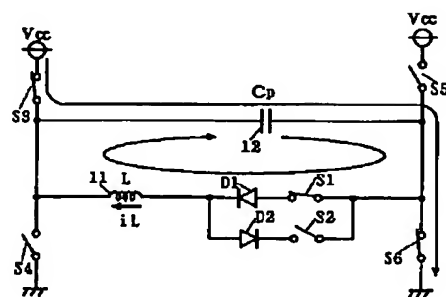
【図8】



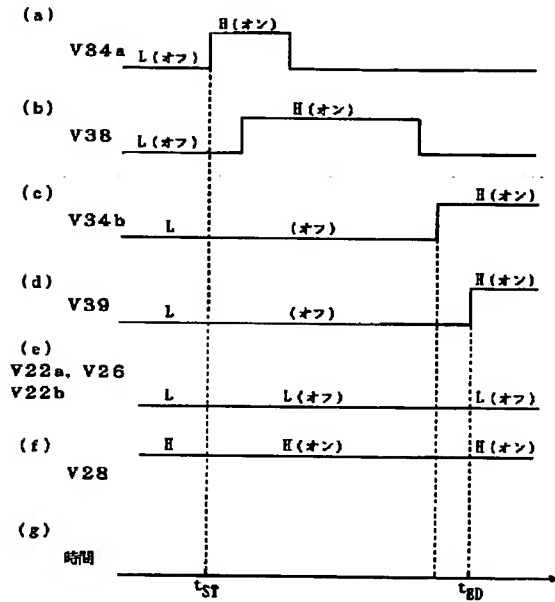
【図21】



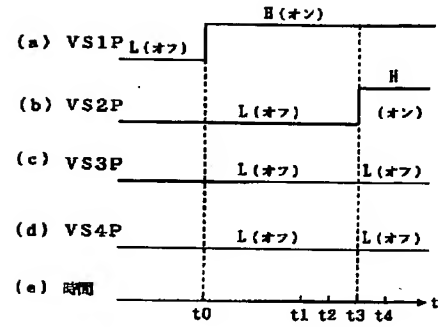
【図22】



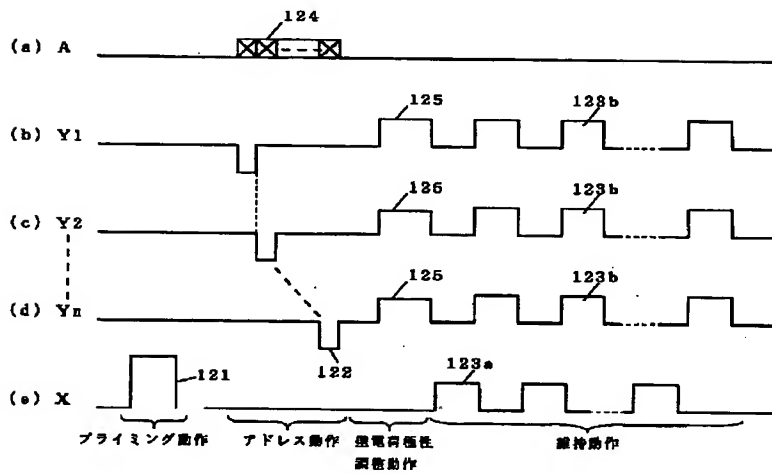
【図9】



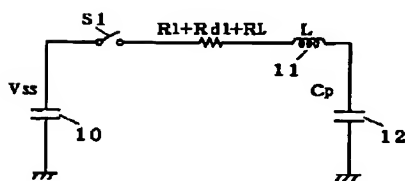
【図18】



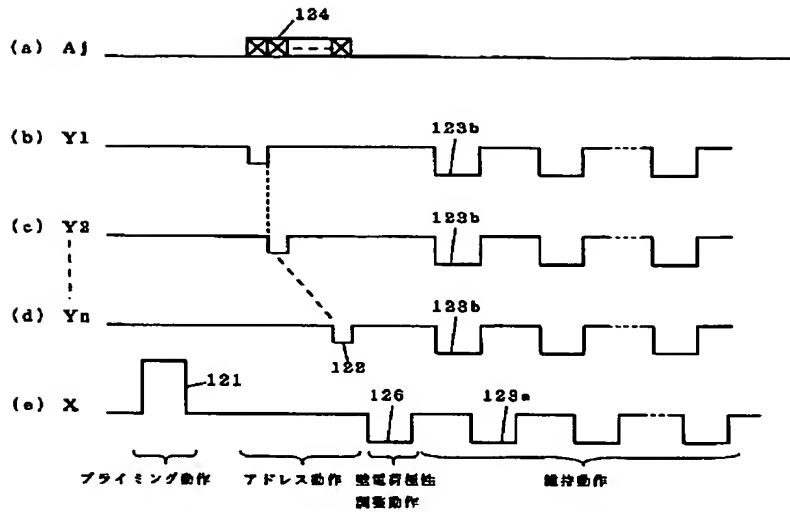
【図10】



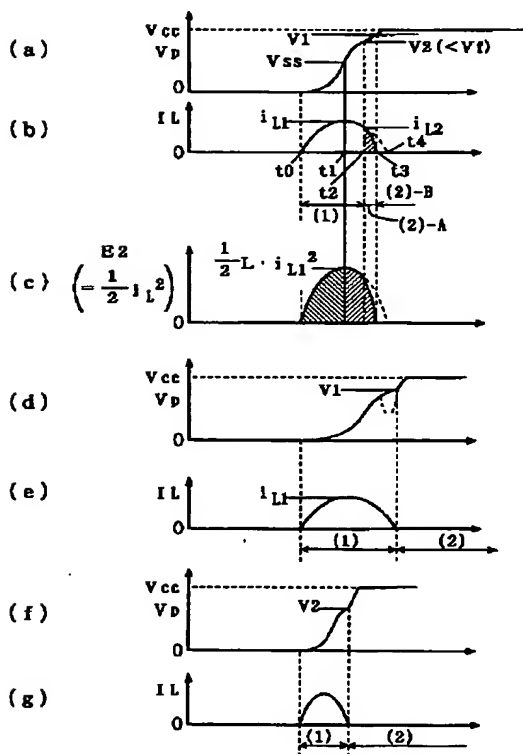
【図33】



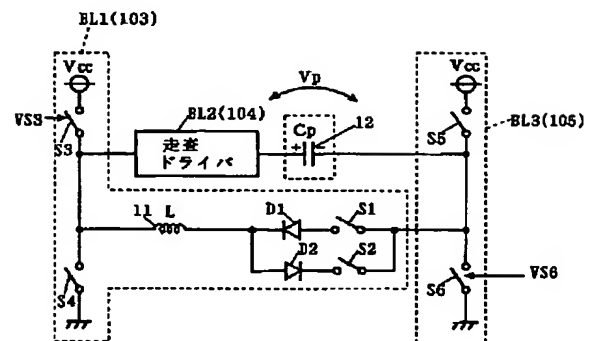
【図11】



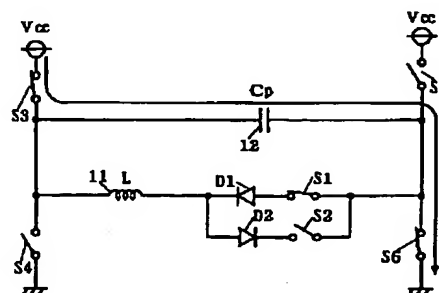
【図12】



【図19】



【図23】



The diagram shows a video signal processing circuit. On the left, a vertical bar represents the input signal, with labels 107C, CLK, DATA, VSYNC, and HSYNC. The CLK, DATA, VSYNC, and HSYNC signals are fed into a '制御回路' (Control Circuit). The control circuit outputs a '制御信号' (Control Signal) to the 'アドレスドライバ' (Address Driver, 106) and the '走査ドライバ' (Scan Driver, 104). The 'アドレスドライバ' (106) outputs address signals A1, A2, A3, ..., An to the 'X維持ドライバ' (X Hold Driver, 105). The '走査ドライバ' (104) outputs scan signals Y1, Y2, Y3, ..., Yn to the 'Y維持ドライバ' (Y Hold Driver, 103). The 'Y維持ドライバ' (103) outputs a signal to the '電源回路' (Power Circuit, 102). The '電源回路' (102) outputs a signal to the 'X維持ドライバ' (105). The 'X維持ドライバ' (105) outputs a signal to the '走査ドライバ' (104). The '走査ドライバ' (104) outputs a signal to the '電源回路' (102). The '電源回路' (102) outputs a signal to the '走査ドライバ' (104). The '電源回路' (102) outputs a signal to the 'X維持ドライバ' (105). The '電源回路' (102) outputs a signal to the 'Y維持ドライバ' (103). The '電源回路' (102) outputs a signal to the 'アドレスドライバ' (106). The '電源回路' (102) outputs a signal to the '制御回路'.

(a) VS1 L (オフ) H (オン) L

(b) VS3, VS6 L (オフ) H (オン) L H

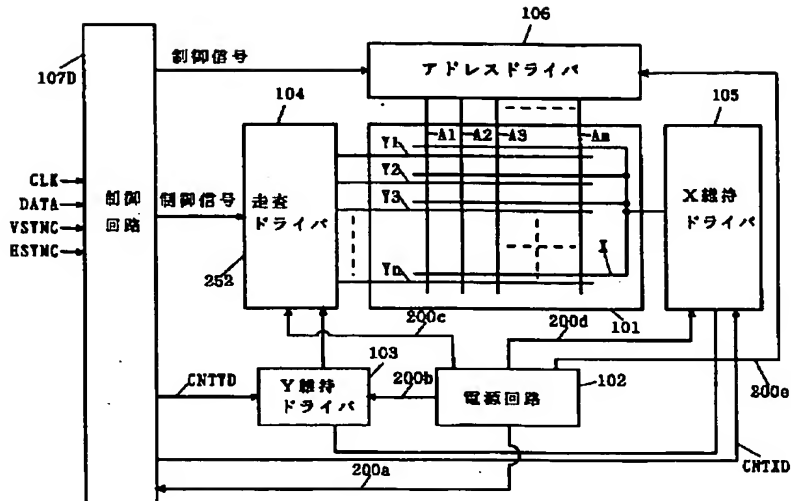
(c) VS2 L L (オフ) (オン)

(d) VS4, VS5 L L (オフ) H (オン)

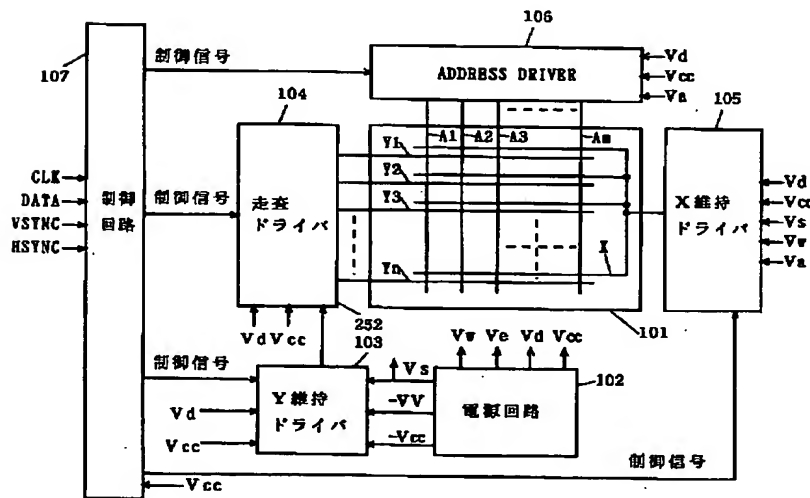
(e) 時間 t0 t1 t2 t3 t4 t5 t

Figure 1 is a schematic diagram of a driving circuit for a liquid crystal display. The circuit is divided into two main sections: the X-axis driver (X維持ドライバ) and the Y-axis driver (Y維持ドライバ). The X-axis driver includes a switching circuit with transistors S1, S2, S3, and S4, and diodes D1 and D2. It is connected to a power supply Vss (10) and a load capacitor Cn. The Y-axis driver includes a switching circuit with transistors S1 and S2, and a load capacitor Cn. It is connected to a power supply Vcc (105) and a load capacitor Cn. The circuit is labeled with various components and their connections.

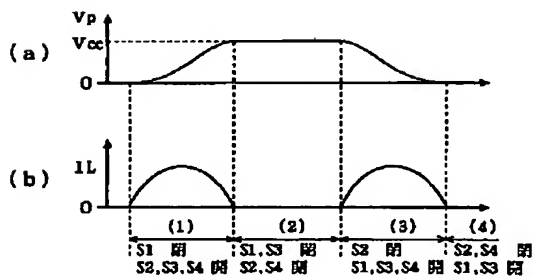
【図24】



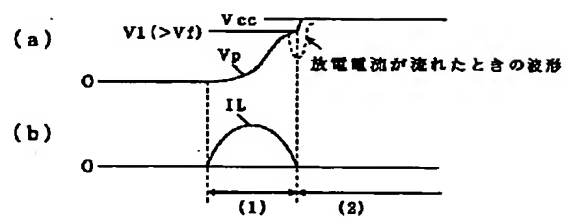
【図26】



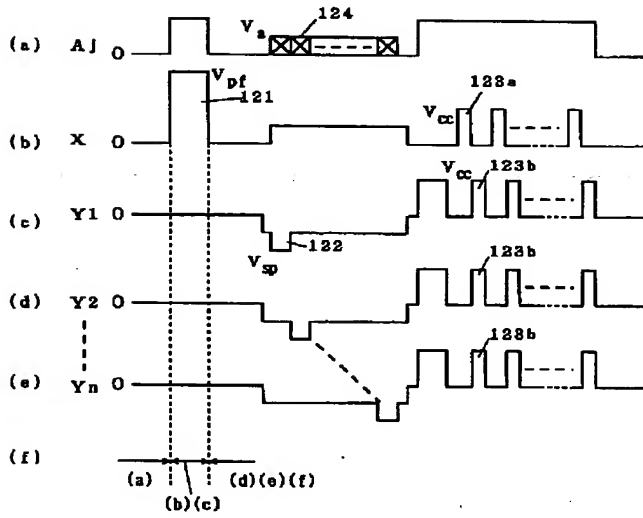
【図31】



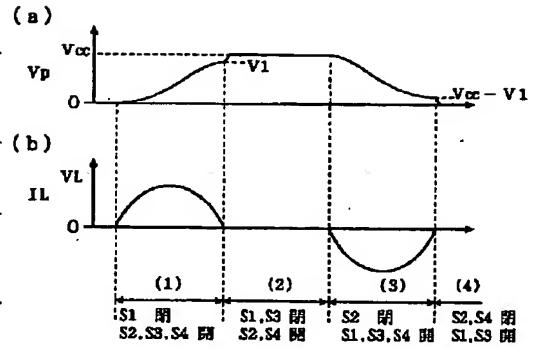
【図35】



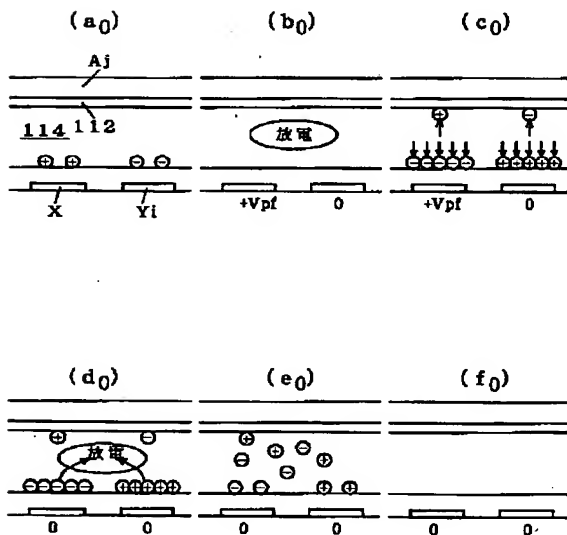
【図28】



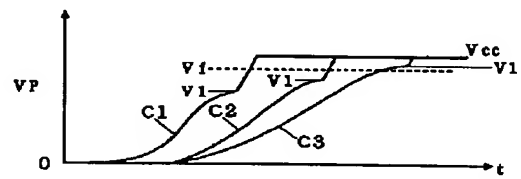
【図34】



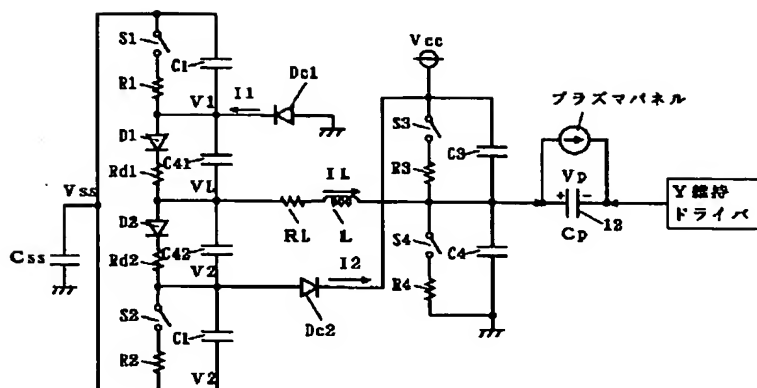
【図29】



【図36】



【図32】



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)